

SPICE&CMOSプログラミングガイド for SpiceEditor@Basic

(C) Sumiaki Takei

- 1 SPICE とは
- 2 SPICE のプログラミング
 - ・CMOS インバータネットリスト
- 3 CMOS-OP アンプの基本回路
 - ・C MOS-OP アンプネットリスト①
 - ・スルーレートとセトリングタイム・定電流、定電圧回路
- 4 CMOS-OP アンプのシミュレーション回路Ⅱ
 - ・CMOS-OP アンプネットリスト②
- 5 CMOS-OP アンプの製作実験とシミュレーション
- 6 CMOS アナログスイッチ
 - ・解析結果(Probe 表示)
 - ・アナログスイッチネットリスト
- 7 CMOS DC-DC コンバータの製作実験とシミュレーション
- 8 差動増幅回路とギルバート・セル回路(乗算回路)の基本特許
- 9 簡易 NMOS・PMOS デバイスマデリング
 - ・CMOS 4000 シリーズ SPICE モデル (takei model)
- 10 CMOS レイアウト設計法 ①～⑥
 - ①論理しきい値 ②クリティカルパス
 - ③配線遅延とシート抵抗 ④静電破壊対策
 - ⑤ IC のノイズ対策 ⑥ CMOS チップパターン図
- 11 手計算による MOS 回路の解析法
 - ①増幅回路 ②相互コンダクタンス gm
- 12 Pspice マニュアル
- 13 SPICE 参考図書一覧
- 14 CMOS 参考図書一覧
- 15 トラ技掲載情報

Producer, Copyright holder ; Sumiaki Takei
(C) 1996-2018 Sumiaki Takei. All rights reserved

URL : <http://www.venus.dti.ne.jp/~s-takei/circuit/spice3.html>

Mail : t_a_k_e_i@nifty.com

SPICE による回路シミュレーション

(授業活用と専用エディタの開発)

(C) 2010 Sumiaki Takei

1 はじめに

電気基礎, 電子技術のような科目は、実際的な科目であり、座学で理論を学んでも、現実の回路と対応がとれないと、教育効果が上がらないことが多い。パソコン上で、多くの回路が実物の実験のように、確認できることは、回路を理解する上で、大きな効果があると考えられる。

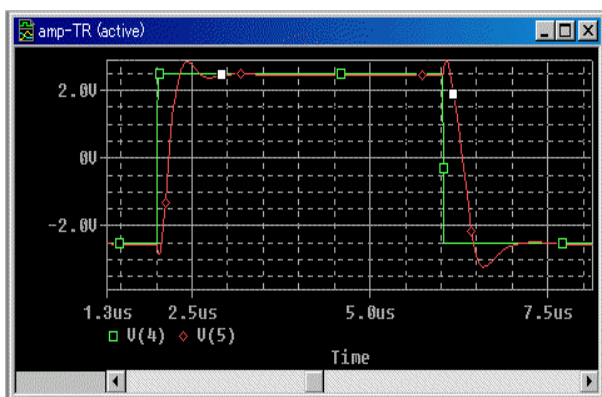
十数年前から SPICE の授業活用を提案している。全国的には Pspice 等を購入して実習・課題研究等で積極的に活用しているところが数多くある。また、高大連携で生徒が大学で SPICE を学習しているところもある。(SPICE の学習は電子系の大学だとほとんど実施している)。

なぜ、SPICE なのかという質問をよく受けますが、一言で言えば多くの企業で SPICE を業務で使用しており、生徒が就職してすぐ役立つ。私自身、会社に在籍していた 11 年間この SPICE で仕事をしていました。

また生徒の学習においてもパソコン上でパラメータ(抵抗値など)を変えてすぐ結果が見れるので、動作理解と共に思考能力、創造性も養えます。

2 SPICE 回路シミュレータとは

SPICE (Simulation Program with Integrated Circuit Emphasis) は、アナログ回路をシミュレートするための強力な汎用回路解析プログラムのことである。



回路シミュレータは、等価回路図をもとに、作成された回路記述データを用いて、入力信号に対する出力信号や回路各点における、ふるまいをプローブを当ててシ

ュロスコープで見るがごとく、シミュレーションすることができる。

実際にハードウェアを作る前に、その回路の特性を検証することができる。また、間違えて異常電圧を与えても、回路素子を破壊させ実害を被ることもないので、回路設計の道具として不可欠のものとなっている。

近年、電子回路シミュレータとして、Pspice, LTspice など、SPICE を基盤としたものが多く出回っている。SPICE は、1973 年カリフォルニア大学バークレー校で、開発されたもので、回路シミュレータとしては、最も広く使われており標準品となっている。

このソフトは、長年多くの半導体メーカーで LSI の回路設計用として、大型コンピュータで使用されてきました。その後パソコン用の SPICE ソフトが公開され、一般の人が使える環境が整ってきた。1980 年代、MicroSim 社による Pspice の評価版無料配布で一気に利用者が増加した。

SPICE の一般的な機能としては、トランジェント解析、AC 解析、DC 解析、フーリエ解析、ノイズ解析等が可能で、シミュレーション結果をグラフィック表示できるものが多い。

使用できる素子は、抵抗、コンデンサ、コイルはもちろんのこと、ダイオード、バイポーラトランジスタ、JFET、MOSFET、OPアンプ、また電流源、電圧源、損失のある分布定数線路、スイッチ等が準備されており、ほとんどの回路のシミュレーションが可能である。シミュレーションの正確さは、デバイスモデルによるところが大きい。各メーカーから各種モデルがフリーで提供されているので利用するとよい。

3 SPICE によるシミュレーション方法

まず、シミュレーションするためのソフトが必要です。無償でいろいろ配布されています。たとえば、Pspice LTspice B2spice などいろいろあります。入手方法については、あとで紹介します。

次にここで紹介しているような回路シミュレーションするためのネットリストを作成します。テキストデータですので修正も楽です。ネットリストをシミュレーションソフトに読み込ませれば自動的に解析を始めます。

グラフィカルユーザーインターフェースを使って、回

路図を作成しパラメータを入力して解析する方法が近年のやり方ですが、生徒に実習・課題研究として SPICE を教えるには、回路シミュレーションの基本であるネットリストの概念を理解させたほうが勉強になります。

図1にCMOSアナログスイッチ回路を示しました。要は入力Vinから出力Voutにアナログ信号を伝達する回路です。回路の詳細はここでは紹介しませんが、入力にいろんな電圧の信号を入れた時に、出力にきちんと伝わるかどうかを調べるシミュレーションをしようとしています。

ネットリスト作成の基本を紹介いたします。

(右のネットリスト参照してください)

- ① 1行目は何を記述してもかまいません。回路名や解析条件などを記入しておけば後で見たときに便利でしょう。
- ② 2行目にある * 印はコメントコマンドで、ネットリストのどこで使ってもかまいません。行数が多くなった時などに、確認用に記述します。
- ③ 3～7行目の記述は電源電圧や入力信号、解析の種類などを記述しています。
- ④ 9～14行目の記述は回路の結線情報、デバイスの設定値などを記述しています。
- ⑤ 16行目からは使用している MOS トランジスタのデバイスモデルです。これが正確であれば、実際動作に近い解析が可能になります。各種デバイスモデルは無償で公開されているのでそれを利用すればよい。ちなみにここで使用している MOS モデル (TC407N と TC407P) は 17 年前に私が開発したモデルで、大学等の実習でも利用されています。
- ⑥ 下から4行目の .PROBE は出力条件を指定しています。このコマンドはPspice 用です。
- ⑦ 最後の .END でネットリストの記述は終わりです。

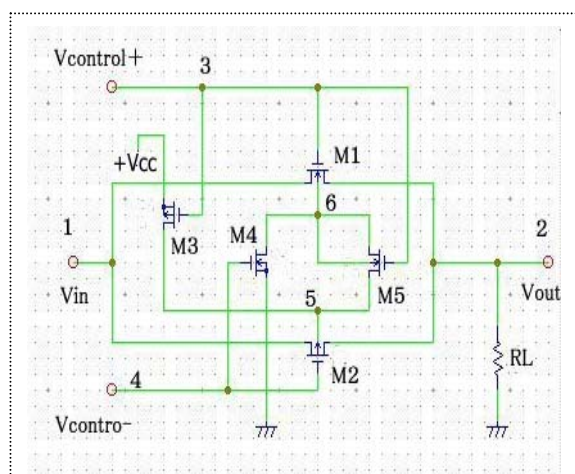


図1 CMOSアナログスイッチ回路

生徒達に1時間説明すれば、やり方は十分理解してくれます。細かいコマンドや記述に戸惑いますが、覚えは早いと思います。授業展開を迅速に行うため、知らないコマンドや書式を全て表示できるネットリスト記述援用エディタ (SpiceEditor@Basic Ver 6.0) を開発しました。後で紹介します。

■アナログスイッチ回路の解析用ネットリスト■

* 電源・入力・解析指定 *

```
VCC 20 0 10
VIN 1 0 0
Vcontro+ 3 0 10
Vcontro- 4 0 0
.DC VIN 0 10 0.1
```

* 回路記述 (結線情報) *

```
M1 1 3 2 6 TC407N L=6u W=50u
M2 2 4 1 5 TC407P L=6u W=70u
M3 5 3 20 20 TC407P L=6u W=15u
M4 6 4 0 0 TC407N L=6u W=10u
M5 5 3 6 6 TC407N L=6u W=10u
RL 2 0 5k
```

* デバイスモデル *

```
.model TC407N NMOS (LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5
+ TOX=1.0E-7 TPG=0 NSUB=5E15 GAMMA=1.0
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGB0=1.61E-10 TT=100n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
.model TC407P PMOS (LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5
+ TOX=1.0E-7 TPG=0 NSUB=2E15 GAMMA=0.9
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGB0=1.61E-10 TT=80n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
```

* 出力指定 *

```
.PROBE V(1,2) I(RL)
```

* ネットリスト記述終了 *

```
.END
```

上記のネットリストを Pspice に読み込ませれば自動的に解析してくれます。解析した結果を次ページ図2に示しました。

ここでは、入力信号 VIN (直流) の電圧を 0V～1.0V まで可変した時に、アナログスイッチの ON 抵抗がどう変化しているか解析しています。

V(1,2) はノード①とノード②の間の電圧。I(RL) は RL に流れる電流値。従って、 $V(1,2)/I(RL)$ は ON 抵抗を計算させながら表示していることになります。

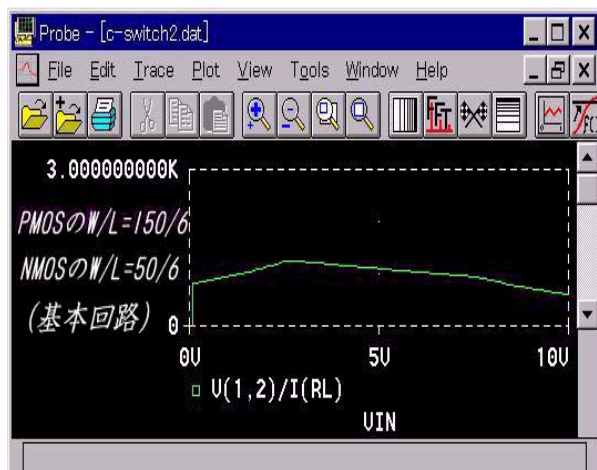


図2 シミュレーション結果

4 教科書にある交流増幅器をシミュレーション

教科書によく掲載されているバイポーラトランジスタを使った増幅器の解析を紹介しましょう。十数年前までは電子実習の定番で、必ずと言っていいほど生徒に製作させていましたが最近は少なくなっているようです。

しかし今でも、回路シミュレーションと製作を併用した課題研究は有用であると思い実施しています。製作が比較的簡単であるし、抵抗1つ1つの意味合いを回路シミュレーションで確認させると生徒は喜んで解析します。

(1) 課題研究での活用

各抵抗の有無によってどのように特性が変わるのか解析させ、その理由を調べさせる。抵抗値を変えたらどうなるか、コンデンサの容量を変えたらどうなるか、入力信号の大きさはどこまでの大きさなら正確に増幅できるのかなどを解析させ、ノートに記録させます。ネットリストはテキストデータですから簡単にパラメータ値を変更でき、一度やり方を覚えると生徒達はどんどんおもしろがって解析していきます。

いよいよ製作に入ります。生徒たちは自分たちで決めたデバイスのパラメータで製作を開始します。必要な抵抗値が無い場合は、いくつかの抵抗を組み合わせることで合成抵抗で必要な抵抗値を準備させます。

完成すると特性を測定します。シミュレーション通りの結果が出ると、生徒たちも思わず納得した顔になります。他のグループの測定結果と比較したり、予想の動作をしない場合は、もう一度回路シミュレーションをやるといった積極的な態度が出てきます。

良い設計と悪い設計があること。それを見分けるためのツールであること。会社で電子機器を開発するのも同じようなことをやっていること、そのツールとしてSPICEが広く世界中で使われていることをいつも生徒たちに話しています。

(2) ノード番号の概念

ここではネットリストのノード番号について説明しておきます。図3の増幅器の回路図には節点に番号があります。これをノード番号といいます。ノード番号は自由に振ってかまいません。ただし、0(ゼロ)は接地です。

たとえば 抵抗 RL1 は

①のノードと⑤のノードにあり抵抗値が $20k\Omega$ とすると

ネットリスト ⇒ RL1 1 5 20k

もうひとつ、NPN トランジスタ Q1 について説明しましょう。バイポーラトランジスタは、ベースB、エミッタE並びにコレクタCの3端子です。Q1の3端子にノード番号がついています。SPICE では コレクタ、ベース、エミッタの順にノード番号を打つことになっています。従ってノード番号の順番は ⑤ ③ ④ です。その後に 使用トランジスタのモデル名を入れます。

実習で使う 2SC1815 のモデルは無償で公開されています。モデルはネットリストの中に直接記述してもいいし、他のフォルダからパスを指定して呼び出してもよい。

ネットリスト ⇒ Q1 5 3 4 QNUNI

次ページに全体のネットリストを示しました。

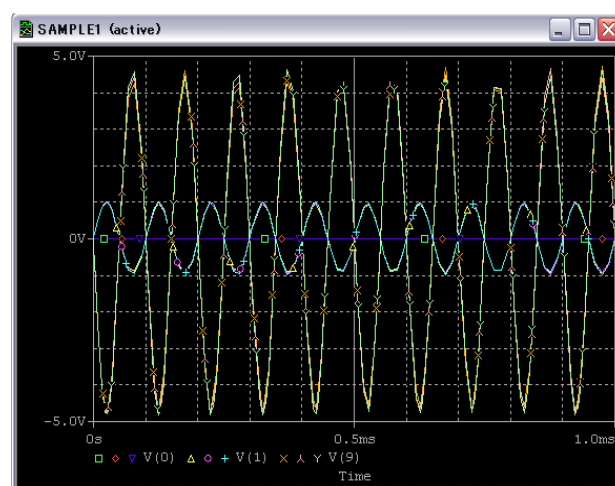
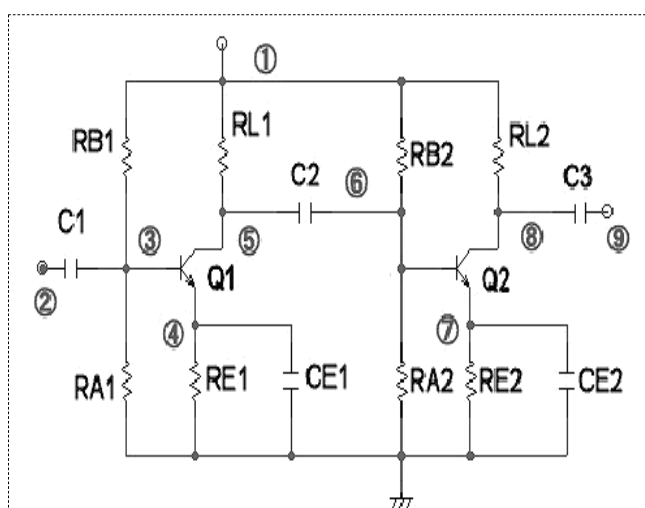


図3 増幅回路図とシミュレーション結果

■ CR結合電圧増幅器 トランジェント解析■

```
* ----- 電源・入力・解析指定 -----
VIN 2 0 SIN ( 0 2 1000 5e-005 10 0 )
VCC 1 0 15
* 1 = VCC 電源電圧ノード 2 = VIN 入力ノード
* 6 = 初段出力ノード 9 = 2 段目出力ノード
* ----- NPN型バイポーラトランジスタモデル -----
.MODEL QNUNI NPN(Is=1p Xti=3 Eg=1.11 Vaf=28 Bf=160
Ne=1.5 Ise=1.3p Ikf=650m Nk=.8 Xtb=1.5 Br=2.7 Nc=2 Isc=0
Ikr=0 Rc=0.65 Rb=25
+Cjc=8p Mjc=.35 Vjc=.75 Fc=.5 Cje=25p Mje=.35 Vje=.75
+Tr=110n Tf=3.5n)
* 2SC1815, V1.2 90-10-22 M. Okamura
* ----- 回路記述 (結線情報) -----
Q1 5 3 4 QNUNI
RA1 3 0 20000
RB1 1 3 100000
RE1 4 0 2000
RL1 1 5 10000
C1 2 3 1e-005 IC=0
C2 5 6 1e-005 IC=0
CE1 4 0 1e-006 IC=0
Q2 8 6 7 QNUNI
RA2 6 0 20000
RB2 1 6 100000
RE2 7 0 2000
RL2 1 8 10000
C3 8 9 1e-005 IC=0
CE2 7 0 1e-006 IC=0
RLX 9 0 10G
* ----- 出力指定 -----
.TRAN 10n .002 0 UIC
.PROBE V(2) V(6) V(9)
* ----- ネットリスト記述終了 -----
.END
```

5 ネットリスト作成援用エディタの開発

SPICE 回路シミュレータは、学校での実習・課題研究の教材として、また個人的な回路研究のツールとしてここ数十年使用しております。

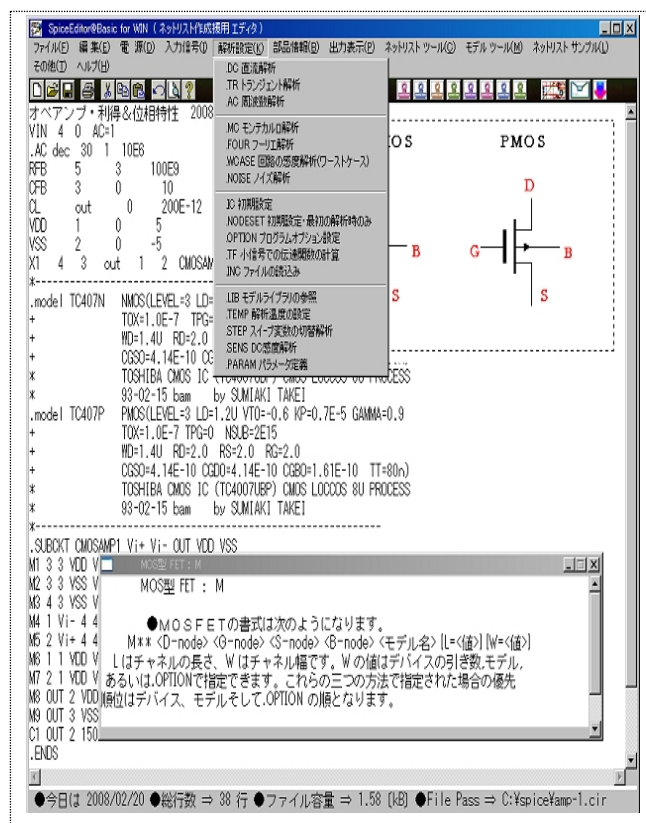
ただ、SPICE のコマンドや記述書式を生徒から聞かれた時すぐ思い出せなかったり、調べるのに時間がかかったりしたので、すぐわかる辞書的なツールがあればという思いで10年前からソフト開発に取り組んできました。

本ソフトの名称は **SpiceEditor@Basic** といいます。

Windows 専用ですが、WIN95 から最新の WIN7 の OS まで動作しますので、ほとんどの学校で利用可能だと思います。

(1) SpiceEditor@Basic の特徴

- SPICE のコマンド、部品の書式のほとんどを搭載しているためコピー・ペーストで活用できます。
- ネットリストを自動生成する機能があります。パラメータを入力すると、そのままシミュレーションでできるネットリストをファイル出力します。
- Ver6 からはプラグイン機能を搭載したので、本ソフトにない機能を付加することができます。
- 授業用に設計してあります。生徒はネットリストを作成後そのまま本ソフトから回路シミュレータを起動させ解析結果を確認・修正ができます。実習レポート等の書式も本ソフトから起動させ提出させています。
- 自動アップデート機能を搭載しています。本体の最新版はもちろんのこと、最新のコマンドやデバイスモデルデータ、書式、バグ対策などを自動更新できます。



本ソフトは特別なコンパイラで開発しています。

興味のある方は下記ホームページをご覧ください。

ActiveBasic ホームページ

<http://www.activebasic.com/>

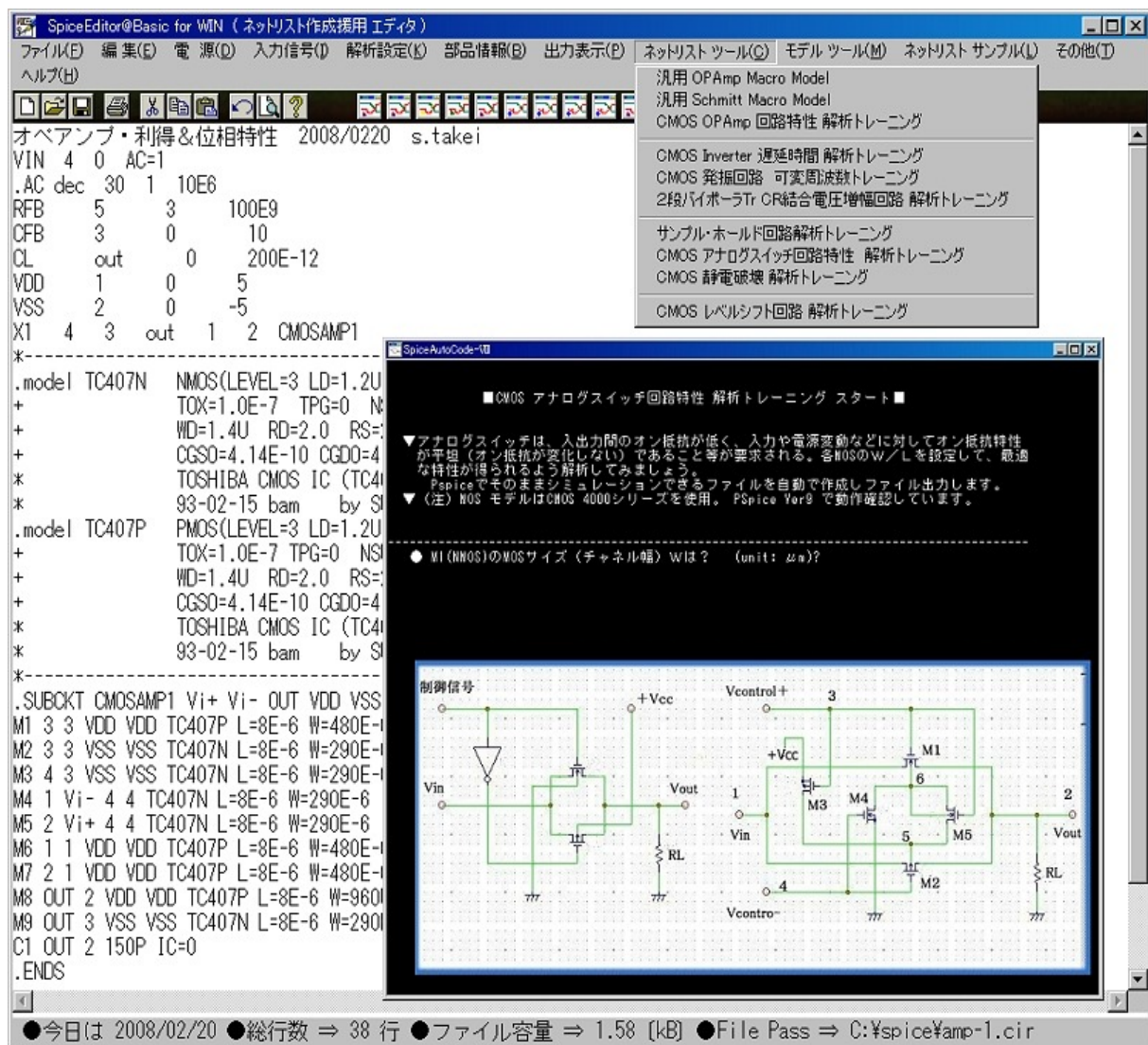


図4 ネットリスト作成援用エディタ SpiceEditor@Basic の画面

(2) SpiceEditor@Basic の入手方法

- 本ソフト公式ホームページからダウンロード。
<http://www.venus.dti.ne.jp/~s-takei/circuit/SpiceEditor3.html>
- Vector のホームページからダウンロード。
<http://www.vector.co.jp/soft/win95/edu/se318061.html>
- NIFTY のホームページからダウンロード。
<http://download.nifty.com/download/win/edu/science/engineer/index2.html>

本ソフト利用者の要望等を勘案しながら、改良を続けています。ネットリスト自動生成機能に搭載している回路は現在 11 種類ですが、今後は教科書に掲載されている回路に準拠したものも順次搭載予定です。

6 SPICE 系回路シミュレータの入手方法

回路シミュレータには多くの種類がありますが、ここでは、無償で使えるソフトを 3 つ紹介します。どれも普段私が使っているソフトです。

(1) Pspice (最も使われています)

- トランジスタ技術 10 月号(2005 年) (CQ出版) の添付 CD
- DESIGN WAVE マガジン 2 月号(2008 年) (CQ出版) の添付 DVD
- 下記アドレスから登録してダウンロード
<http://www.cadence.com/products/orcad/>

(2) LTspice (機能制限がないので人気です)

- 下記アドレスからダウンロード
<http://www.linear-tech.co.jp/designtools/software/index.jsp>

(3) **B2spice** (有償版は他よりかなり安い)

- 下記アドレスからダウンロード

http://homepage3.nifty.com/circuitboards/v2_software/beige_bag/B2Spice_trial.html

7 おわりに

SPICE 回路シミュレータを実習・課題研究に取り入れて十数年経ちました。全国的にはかなりの学校で SPICE 回路シミュレータを使った教育活動があるようです。

ハイブリッドカーや燃料電池自動車など時代は電気・電子技術が重要な時代へと変化しています。生徒たちには電気や設計に少しでも興味をもってもらい、楽しく学習できる教材作成・ツールをこれからも開発していこうと思っています。

SPICE を使った教育実践を普及させたいと思っておりますので、やってみたい方がおられましたら連絡してください。

8 参考文献

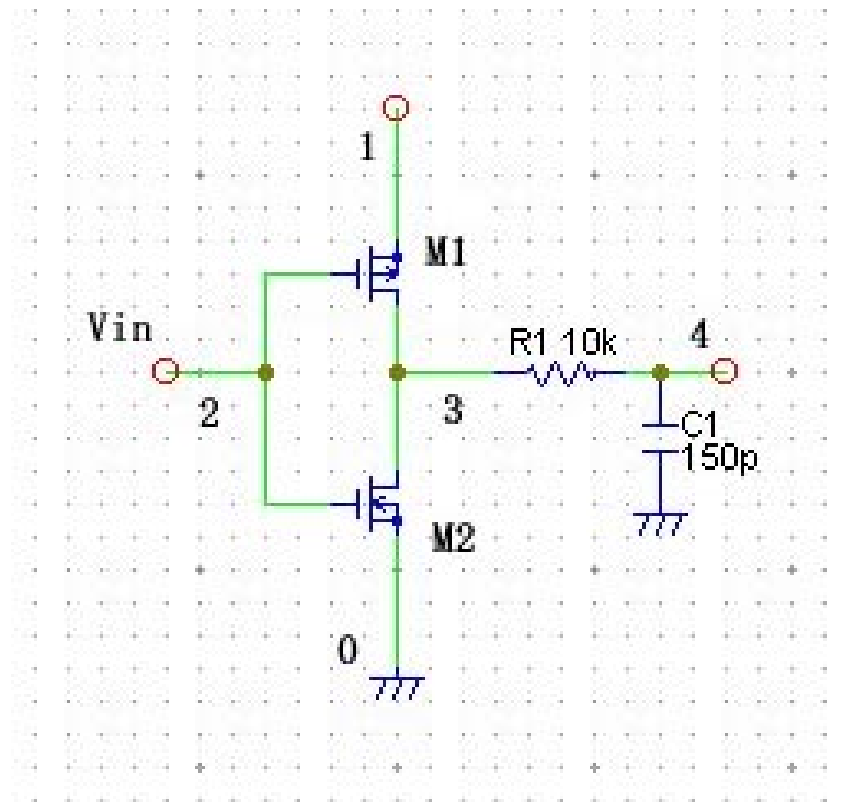
- (1) 「CMOS 回路設計と SPICE による回路シミュレーション」
<http://www.venus.dti.ne.jp/~s-takei/circuit/spice3.html>
- (2) 竹井澄明；「CMOS アナログ IC の設計トライアル」
トランジスタ技術 1995 年 2 月号 CQ 出版 (株)
- (3) 竹井澄明；「IC 基本特許回路の SPICE による検証」
トランジスタ技術 1998 年 5 月号～7 月号 CQ 出版 (株)
- (4) 竹井澄明；「実験研究 CMOS OP アンプ IC の設計法」
トランジスタ技術 1993 年 7 月号 CQ 出版 (株)
- (5) J.A. コネリー / P. チェイ 青木 均 訳
「SPICE による回路設計」 (株) トッパン
- (6) John Keown 町 好雄 監訳
「SPICE による電子回路設計」 東京電機大学出版局
- (7) Andrei Vladimirescu
「The SPICE BOOK」 John Wiley & Sons, Inc

SPICE のプログラミング

SPICE のプログラムが具体的にどうなっているのか説明します。
例えば下図のような CMOS インバータにおいて入力にパルスを印加した時の出力波形を調べる場合を考えます。電源電圧は $V_{CC} = 5\text{ V}$ 、入力波形の周期は $T = 2\text{ }\mu\text{s}$ 、パルスの立ち上がり並びに立下りの傾きは 10 ns とします

シミュレーションする場合にはプログラムに次の情報が必要です。

コメント情報	一行目に必ず必要
デバイス情報	使用デバイスの呼び出し
解析情報	DC, TRAN, AC 解析の指定
電源情報	電源の種類、極性、電圧値等
入力信号情報	入力信号の種類、電圧値、周期等
結線情報	ノード番号で結線状態を定義
出力情報	CRTで何を表示するか指示
プログラム終了情報	END で終了



CMOS インバータのプログラム例

```
1 CMOS INVERTER 入出力特性      1998/6   S.Takei
2 .LIB "C:¥LIB¥EVAL.LIB"
3 .TRAN      15n      10u
4 VCC      1      0      5
5 VIN      2      0      PULSE(0 5 1u 10n 10n 2u 10u)
6 M1      3      2      1      1      TC407P
7 M2      3      2      0      0      TC407N
8 R1      3      4      10k
9 C1      4      0      150pF
10 .PROBE      V(2)      V(4)      I(VCC)
11 .END
```

では上に示しましたプログラム例について説明します。

一行目はコメントで回路名などを入れておきます。

二行目は使用デバイスのモデルがあるライブラリを呼び出します。

モデルはプログラムに直接記述してもよい。

三行目はトランジェント（過渡）解析を指定しています。

15n は C R T でのプロットのステップ値です。10u は解析時間を表しています。

四行目は電源の指定で、この場合はノード 1 と 0 の間に直流電圧 5 V を印加します。

五行目は入力信号の指定で、この場合はパルス振幅が 5 V、周期が 2 μ の指定をします。

六行目から九行目までは、素子の結線状態並びに値を表しています

結線状態を上図のノード番号を使って確認してみてください。

なお、M O S F E T は 4 端子デバイスでドレイン、ゲート、ソース、バックゲートの順にノード番号を定義します。

十行目は C R T に表示するデータの指定です。この場合はノード番号 と の電圧と電源 VCC に流れる電流を表示する指定になっています。

十一行目の .END でプログラムの終了を定義します。

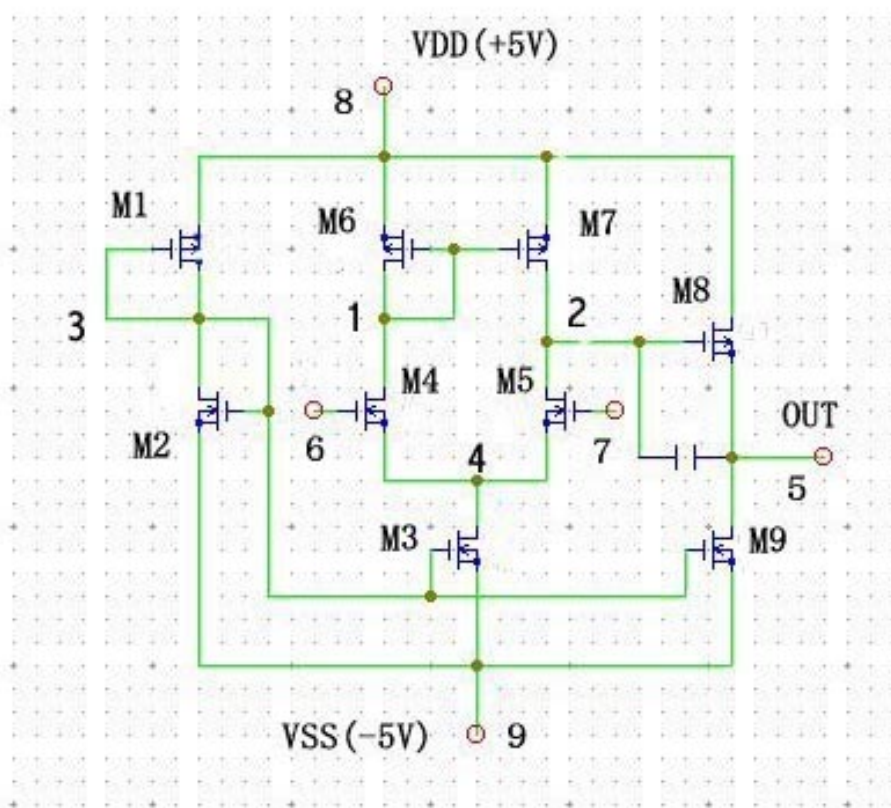
CMOS-OPアンプの基本回路

下図がCMOS-OPアンプの基本的な回路である。

M1, M2がバイアス回路、M3, M4, M5, M6, M7が差動増幅回路、M8, M9が出力回路を構成しています。C1は位相補償用コンデンサです。

バイアス回路部でアンプの電流を決定している。差動増幅回路では、NMOSトランジスタを入力トランジスタとして使用しているが、これはWELLを浮動化して、基板バイアス電圧を無くし、入力レンジを広げるためのものである。出力回路段はA級増幅である。

詳細については、**トランジスタ技術 (CQ出版) 1993・7月号(P317 - 330)**を参照して下さい。



それではオープンループ利得を見るためのSPICEプログラムを組んでみましょう。回路図の数字はノード番号を表しています。Vi-入力(M4ゲート入力-ノード番号6)を0V、Vi+入力(M5ゲート入力-ノード番号7)に1 μ V入力した時(当然差動電圧は1 μ V)の出力電圧を観測します。

通常のプログラムでは.LIB コマンドでデバイスモデルを呼び出すのですが、ここでは、デバイスモデルも記述してあります。

CMOS-OP アンプ回路の SPICE シミュレーションプログラム

```
-----
1  CMOS  OP アンプ  SR 特性          1998/6   S.Takei
2  *-----  CMOS デバイスモデル  -----
3  .model      TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7
4  +          KP=1.6E-5 GAMMA=1.0 TOX=1.0E-7 TPG=0
5  +          NSUB=5E15 L=8U W=290U WD=1.4U RD=2.0
6  +          RS=2.0 RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10
7  +          CGB0=1.61E-10 TT=100n)
8  * TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
9  *          93-02-15 版      by Sumiaki Takei
10 .model      TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6
11 +          KP=0.7E-5 GAMMA=0.9 TOX=1.0E-7 TPG=0
12 +          NSUB=2E15 L=8U W=480U WD=1.4U RD=2.0
13 +          RS=2.0 RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10
14 +          CGB0=1.61E-10 TT=80n)
15 * TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
16 *          93-02-15 版      by Sumiaki Takei
17 *-----
18 VDD      8      0      5
19 VSS      9      0     -5
20 Vi+     7      0  SIN(0 1 $\mu$ V 20 kHz)
21 .TRAN      15n     10u
22 M1      3      3      8      8      TC407P
23 M2      3      3      9      9      TC407N
24 M3      4      3      9      9      TC407N
25 M4      1      0      4      4      TC407N
26 M5      2      7      4      4      TC407N
27 M6      1      1      8      8      TC407P
28 M7      2      1      8      8      TC407P
29 M8      5      2      8      8      TC407P
30 M9      5      3      9      9      TC407N
31 C1       2          5      150p IC=0
32 .PROBE      V(7)      V(5)
33 .END
-----
```

プログラムの一行目はコメント行で回路の説明等を入れておくとよい。2 行目以降でコメントを入れたい場合は*を行頭に記入すればよい。

また一行の文が長い場合には、次の行頭に+を記入すれば前行からの続きと判断される。行番号は説明のために入れているが、実際のプログラムでは必要ありません。

スルーレートとセトリングタイム

信号変化が速くなるとOPアンプの出力電圧は入力信号の変化に追従できなくなります。この出力電圧の変化速度(V/ μ s)をスルーレートと呼びます。OPアンプでは、基本的にはスルーレートはアンプ内部の構造で決まります。

下図に示したCMOS OPアンプ回路の定電流負荷M₃に流れる電流I₃はOPアンプのスルーレートと関係しており次の式を満足する必要があります。

$$SR < I_3 / gm = I_3 / C_1$$

ただし、 ω_{ut} : OPアンプのユニティゲイン角周波数

gm : 差動入力MOSの相互コンダクタンス

C_1 : 位相補償コンデンサ容量

また入力信号が正弦波で、必要な最大振幅E_mと最大周波数f_mが与えられれば理想出力電圧V_oは

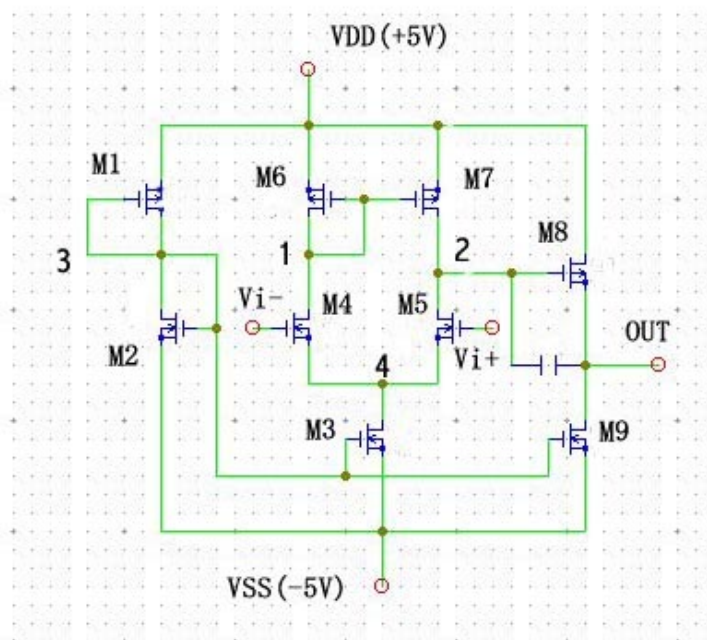
$$V_o = E_m \sin \omega t = E_m \sin 2\pi f_m t$$

dV_o/dtがOPアンプのスルーレート以下であれば出力波形が歪まないの以下条件が必要である。

$$E_m = 2\pi f_m E_m < SR$$

また立上がりと立下りでスルーレートが異なることがあるので、両方で確認する必要があります。

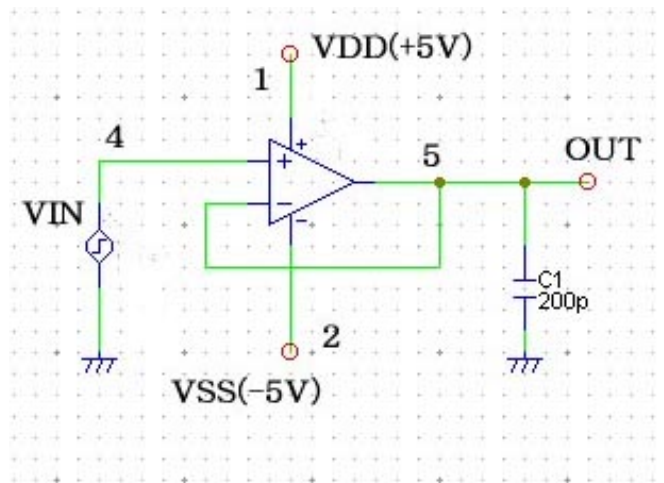
OPアンプのステップ入力に対する応答特性は、入力を印加してから出力電圧が目標値に対してある定められた誤差範囲に収まる時間でも表されます。この時間はスルーレートとリングングが収束するまでの時間の和であり、セトリングタイムと呼ばれています。



それでは次ページのスルーレート測定用回路でシミュレーションするために、プログラムを組んでみましょう。

スルーレート測定用シミュレーションプログラム

```
1 CMOS OP アンプ SR 特性          1998/6   S.Takei
2 .LIB "C:\¥LIB¥EVAL.LIB"
3 .TRAN      15n    10u
4 VDD      1      0      5
5 VSS      2      0     -5
6 C1       5      0     200p
7 VIN      4      0  PULSE(-2.5 2.5 2u 20n 20n 4u 10u)
8 X1       4      5      5      1      2  CMOSAMP1
9 .PROBE    V(4)    V(5)
10 .END
```



上記のプログラムにおいて X1 という記述がありますが、これはサブサーキットを呼び出す命令です。複雑な回路をブロック化しておけばそれを呼び出して何回でも組み合わせて使うことができます。ここでは OP アンプの内部回路をサブサーキット化しています。

OP アンプ回路のサブサーキットプログラム(前ページのOP アンプ回路参照)

```
1 .SUBCKT CMOSAMP1 Vi+ Vi- OUT VDD VSS
2 M1 3 3 VDD VDD TC407P
3 M2 3 3 VSS VSS TC407N
4 M3 4 3 VSS VSS TC407N
5 M4 1 Vi- 4 4 TC407N
6 M5 2 Vi+ 4 4 TC407N
7 M6 1 1 VDD VDD TC407P
8 M7 2 1 VDD VDD TC407P
9 M8 OUT 2 VDD VDD TC407P W=960u
10 M9 OUT 3 VSS VSS TC407N
11 C1 OUT 2 150p IC=0
12 .ENDS
```

(1) 定電流回路

定電流回路はアナログ回路においてバイアス回路や増幅器の負荷として広く用いられている。

バイアス回路に定電流回路を使うと、通常の抵抗を使うより高抵抗が得られるのと、電源・温度変化にあまり影響されないという特長がある。

また増幅器の負荷（能動負荷）として定電流回路を使うと、その出力抵抗が高いため大きな増幅度を得ることができる。

MOS の定電流回路はバイポーラトランジスタの定電流回路と同様に設計すればよい。基本回路を図 5 に示した。M1 はゲートとドレインが結線されているので

$$V_{GS} - V_{th} = V_{DS} - V_{th} < V_{DS}$$

となり飽和領域で動作する。

今、M₂ も飽和領域で動作しているとすると I_{REF} と I_{OUT} の関係は次のようになります。

ただし、M₁ と M₂ の特性 ($\beta_0 = \mu \epsilon_{OX} / t_{OX}$) はそろっているとすると

$\lambda V_{DS} \ll 1$ であれば

$$\frac{I_{OUT}}{I_{REF}} = \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{M1}}$$

基準電流 I_{REF} と出力電流 I_{OUT} の比は M1 と M2 のチャンネル幅とチャンネル長の比で決まります。基準電流に対してお互いの寸法比倍 (W/L) で出力電流が決定される（鏡のように反映される）のでカレントミラー回路とも呼ばれています。

また出力抵抗 r_o は

$$r_o = \frac{V_A}{I_{OUT}} = \frac{1}{\lambda_2 I_{OUT}}$$

出力抵抗は大きければ大きいほど定電流特性に優れている。別の言い方をすると MOS の飽和領域の電流値がドレイン電圧の変化に対してフラットに近いほど定電流特性が良いということになる。

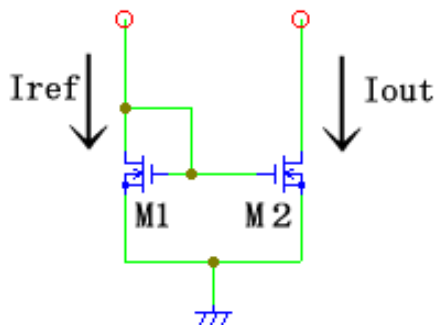


図 5 MOS カレントミラー回路

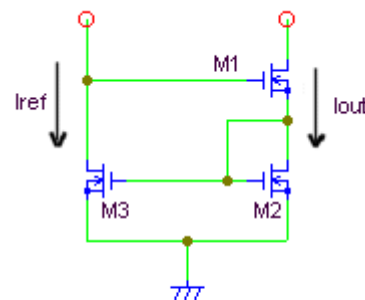


図 6 ウィルソン定電流回路

増幅回路において負荷抵抗を増して電圧利得を上げたい場合、負荷としての定電流回路の出力抵抗を増加させる必要がある。カレントミラー回路より更に出力を改善した回路を図6に示した。

この回路はウィルソン

定電流回路と呼ばれる回路で、電流比と出力抵抗は次のようになる。

$$\frac{I_{OUT}}{I_{REF}} = \frac{\left(\frac{W}{L}\right)_{M2}}{\left(\frac{W}{L}\right)_{M3}} \quad r_o \cong r_{o1} g m_3 r_{o3}$$

ただし $g m_1 = g m_2$ とする

従ってカレントミラー回路の出力抵抗に比べてこの回路の出力抵抗は $g m_3 r_{o3}$ 倍されていることがわかる。この回路は M_1 を挿入することで M_2 のゲート電圧がドレイン電圧の変化に対して関係なく一定になることを狙っている。ただ M_3 のドレイン電圧が $2 V_{th}$ 以上になるので低電圧での動作ができない欠点がある。

(2) 定電圧回路

定電圧回路は基準電圧発生回路とも呼ばれます。アナログ回路において電源変動に影響されない バイアス電圧を得るには、電源電圧以外の電圧を基準にする必要がある。MOS では、しきい値電圧の差 ΔV_{th} やバンドギャップ電圧 V_{BG} を利用したもの、また CMOS の寄生バイポーラトランジスタを使った V_{BE} を基準にした定電圧回路などがある。

図7に V_{BE} を基準にした定電圧回路を示した。この回路の NPN トランジスタは CMOS プロセスで作ることができる。この回路で得られる基準電圧 V_{ref} は、

$$V_{ref} = V_{BE1} + \frac{R_3 k T}{q R_2} \ln\left(\frac{R_3}{R_1}\right)$$

ここで $Q1$ と $Q2$ は特性がそろっているとする。バイポーラトランジスタの V_{BE} は負の温度係数を持っているが、正の温度係数を持っている拡散層抵抗がポリシリコンを使うことによって、抵抗比の設定で V_{ref} の温度係数をゼロにすることが可能である。

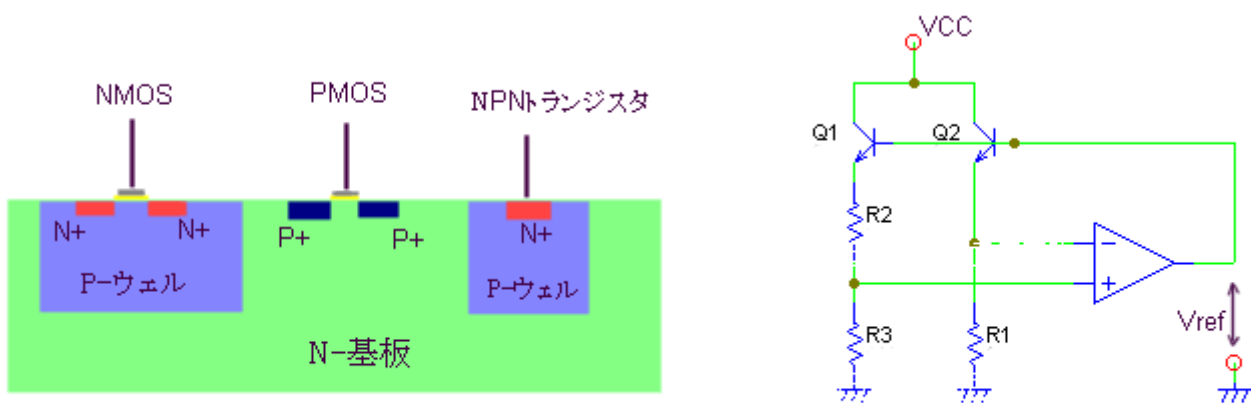


図7 V_{BE} 基準の定電圧回路

別の定電圧回路の例として V_{th} の差を利用した回路を図 8 に示した。
 この回路は M_4 のエンハンスメント MOS のしきい値電圧 V_{th4} と M_2 のデプレッション MOS のしきい値電圧 V_{th2} の差を基準電圧として利用する回路です。この回路で得られる基準電圧 V_{ref} を求めてみる。
 M_1 , M_2 に流れる電流 I は

$$I = \frac{1}{2} \beta_2 (V_{GS2} - V_{th2})^2 = \frac{1}{2} \beta_2 (-V_{th2})^2$$

M_3 , M_4 に流れる電流 αI は

$$\alpha I = \frac{1}{2} \beta_4 (V_{GS4} - V_{th4})^2 = \frac{1}{2} \beta_4 (V_{ref} - V_{th4})^2$$

ただし, $\alpha = \beta_3 / \beta_1$ とする。

この 2 式より基準電圧 V_{ref} を求めると、

$$V_{ref} = V_{th4} - \alpha V_{th2} \sqrt{\frac{\beta_2}{\beta_4}}$$

この回路では 2 つのしきい値電圧の温度係数が一次近似としては打ち消し合う。さらに設計において β_2 , β_4 の比で温度特性を合せ込めばかなり温度係数の小さい定電圧回路として使える。

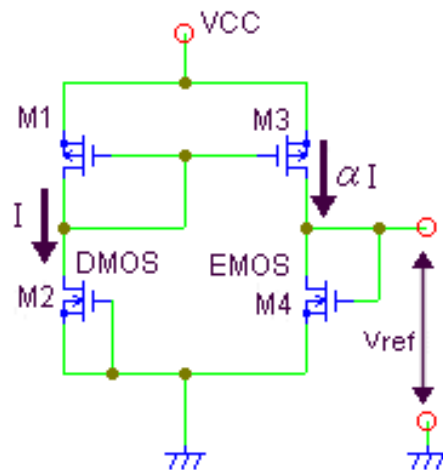


図 8 ΔV_{th} 基準の定電圧回路

CMOS オペアンプ回路のシミュレーション

下図に示したOPアンプ回路は、PMOS入力の差動段とインバ - タ形式の終段の2段構成である。入力にPMOSを使っているのはNMOSよりも次の点で利点がある。

VDD側に電流源を挿入できるので高いPSRR特性が得られる。

終段出力はNMOSで構成されているが、NMOSはPMOSと比べた場合、同じ寸法 (W/L)であればNMOSのほうが G_m が大きいため駆動能力が大きい。

位相補償キャパシタが小さくできるため、高スルーレートが得られる。

オペアンプMOSサイズ設計の留意点

差動段(M3,M4,M5,M6)のMOSサイズの決定においては次の2点を考慮する必要がある。

必要な利得が得られること。 オフセット電圧やフリッカ雑音の低減が必要

これらのことによりMOSゲートのチャネル長 L は $8\mu m$ 程度が妥当

終段MOS (M8)および位相補償用MOS (M7)のサイズの決定においては次の2点を考慮する必要がある。 ショートチャネル効果の影響はあまり受けない。 差動段から見た負荷を減少させる必要がある。

これらのことによりMOSゲートのチャネル長 L は $3\mu m$ 程度が妥当。

電流源用のMOS (M1,M2)のサイズは、ショートチャネル効果が問題となるが、差動段ほどの精度は必要ないのでチャネル長 L は $5\mu m$ とする。

オペアンプ・バイアス回路設計の留意点

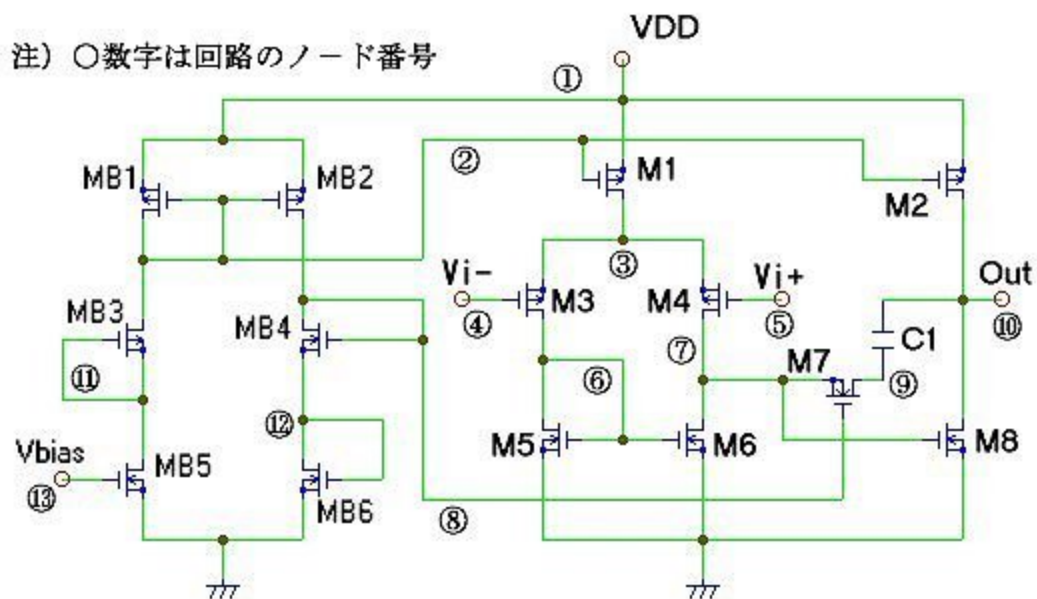
ここで使ったオペアンプのバイアス回路は、電流源をコントロールするMB1のドレイン出力と、位相補償用MOS (M7)のゲート電位を決めるMB4のドレイン出力がある。

オペアンプの電流はカレントミラーにより、バイアス回路電流の N 倍が流れる。カレントミラー電流がVDDに依存しないように、電流を決定するNMOS (MB5)のゲートを内部固定電位 V_{bias} に接続する。

この結果、MOSトランジスタのダイオード接続で電流値を決定する場合より、カレントミラー電流のバラツキが小さくなり、PSRR特性も向上する。

バイアス回路のMB4ドレイン出力部分の構成をオペアンプの差動段と等しい構成とすることで、M7トランジスタの V_{GS} がほぼ一定にでき、位相補償特性が安定する。

それでは下図の回路を参照しながら、SPICEシミュレーション用プログラムを組んでみましょう。



CMOS オペアンプ回路

過渡特性解析プログラム

オペアンプの過渡特性をシミュレーションする場合は、ボルテージフォロアの形にして、Vi+ 入力にステップ入力を入れて出力を観測する。その時出力には負荷容量を付加しておく。今回は 30 pF にしてある。

デバイスモデルは通常フォルダ内のライブラリ名を指定するが、ここではデバイスモデルも記述してある。

C-AMP2 スルーレート・セトリングタイムの解析 1999/5 S.Takei

*.LIB "C:\PSPICE\LIB\EVAL.LIB" ----- ファイルからモデルを呼出す時は.LIB コマンドで呼び出す

*----- 使用デバイスモデル -----

.model TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0

+ TOX=1.0E-7 TPG=0 NSUB=5E15

+ WD=1.4U RD=2.0 RS=2.0 RG=2.0

+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)

* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS

* Ver:93-02-15 by Sumiaki Takei

.model TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9

+ TOX=1.0E-7 TPG=0 NSUB=2E15

+ WD=1.4U RD=2.0 RS=2.0 RG=2.0

+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)

* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS

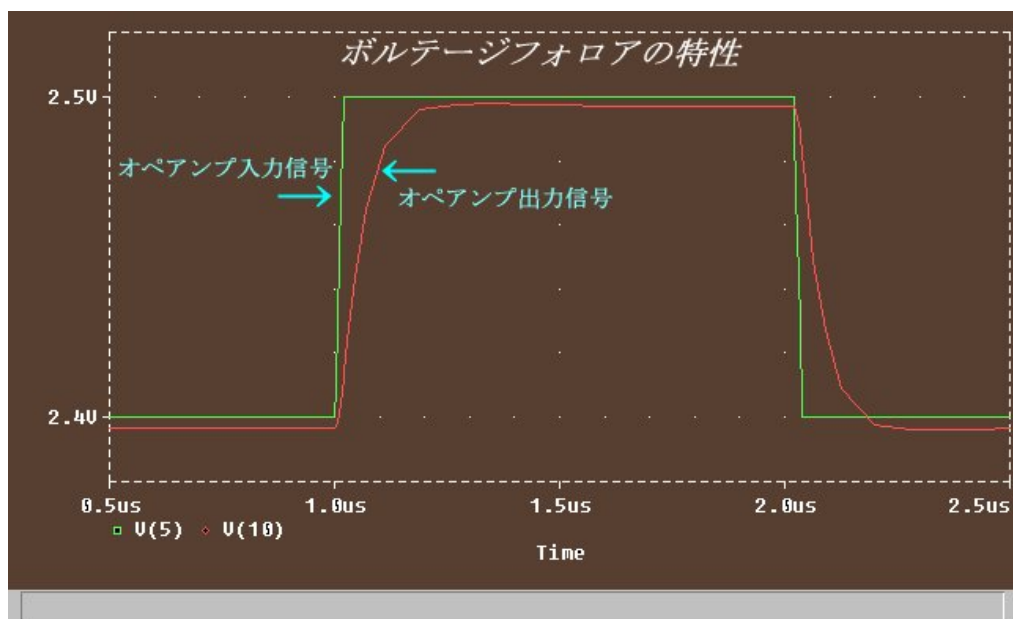
* Ver:93-02-15 by Sumiaki Takei

```

VDD      1      0      5
Vbias    13      0      2
.TRAN     1N      10U
VIN       5      0      PULSE(2.4 2.5 1U 20N 20N 1U 5U)
*----- オペアンプ回路記述 -----
M1   3   2   1   1   TC407P  L=5u  W=800u
M2  10   2   1   1   TC407P  L=5u  W=2650u
M3   6  10   3   3   TC407P  L=8u  W=640u
M4   7   5   3   3   TC407P  L=8u  W=640u
M5   6   6   0   0   TC407N  L=8u  W=500u
M6   7   6   0   0   TC407N  L=8u  W=500u
M7   9   8   7   7   TC407N  L=3u  W=60u
M8  10   7   0   0   TC407N  L=3u  W=1230u
C1    9   10      16pF
CL    10   0      30pF  IC=0
*----- バイアス回路記述 -----
MB1   2   2   1   1   TC407P  L=5u  W=30u
MB2   8   2   1   1   TC407P  L=5u  W=30u
MB3   2  11  11  11   TC407P  L=5u  W=150u
MB4   8   8  12  12   TC407N  L=10u W=10u
MB5  11  13   0   0   TC407N  L=45u W=30u
MB6  12  12   0   0   TC407N  L=5u  W=25u
*-----
.PROBE     V(5)     V(10)  I(VDD)
.END

```

スルーレートシミュレーション結果





CMOS標準ロジックICを使った

実験研究 CMOS OPアンプ ICの設計法

竹井 澄明

はじめに

能動アナログ回路素子としてのOPアンプは着実にその応用分野を広げつつあります。

OPアンプを使った応用回路例が各種専門書で数多く紹介されているので、私たちユーザはOPアンプの内部回路を知らなくても、OPアンプの基本的な使い方さえ知っていれば抵抗やコンデンサを外付けするだけで増幅器、加減算回路、発振器などの回路を簡単に実現することができます。

回路設計者としてOPアンプを**ブラック・ボックス**として使い、目標の回路を実現できればそれでよいわけですが、**実際には思うような特性が得られないことがたびたびあります。**

その原因の解析や対策に当たっては、**OPアンプの動作原理、回路構成、動作特性をよく理解していることが必要**であり、また回路設計の幅を広げるためにもOPアンプの内部回路を知ることは大切なことです。

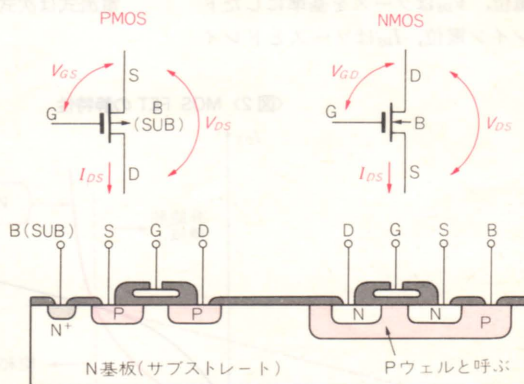
● 製作と回路シミュレーション

そこでOPアンプの内部構成回路を詳細に紹介しながら、OPアンプの設計に必要な知識にふれてみます。

バイポーラ・トランジスタによるOPアンプ回路は多くの参考文献で紹介されているので、今回はCMOS-FETを使ったOPアンプ回路を紹介することにします。

また、そこで得られた設計技術をもとに、**オリジナルなCMOS OP**

〈図1〉
MOS FETの構造と
図記号



アンプをモノリシックICの単体MOSを使ってハイブリッドCMOS OPアンプとして実際に製作してみます。

製作したCMOS OPアンプのSPICEによるシミュレーションと実測結果との比較も行います。

SPICEによるシミュレーションを行なうときに、SPICEで準備されていないデバイス(製作に使用するCMOS IC TC4007UBPの中の単体MOS)を使用したので、MOSデバイスのモデリング方法も簡単に紹介します。

MOSトランジスタの基本

MOS FETはバイポーラ・トランジスタと異なる多くの特徴を持っています。いくつかあげると、

- ①バイポーラ・トランジスタが電流制御素子であるのに対し、MOS FETは電圧制御素子である
- ②入力インピーダンスが高く、低消費電力である

③相互コンダクタンス g_m が小さく、電流駆動能力が低いため動作スピードが遅い。しかし、これはデバイスの微細化と回路技術の進歩で近年のバイポーラ・トランジスタに近づいている

④バイポーラ・トランジスタのキャリアは2種類(電子と正孔)であるのに対し、MOS FETは1種類(電子か正孔)であり、キャリアが電子であればNMOS、正孔であればPMOSである。

⑤双方向性がありアナログ・スイッチに適する

⑥集積化が容易で、集積回路においてアナログ、デジタル共存が可能である

これらの特徴を生かして、数多くのCMOS OPアンプが発表されています。

● MOS FETの構造と図記号

MOS FETの構造と図記号を図1に示します。どちらもエンハンスメントMOS(ノーマリOFF型)を表しています。

MOS FET は4端子素子でありそれぞれG(ゲート), S(ソース), D(ドレイン), B(ボディ)と呼ばれます。基本的動作はゲート電圧により、ソースとドレイン間のコンダクタンスを変えてその電流を制御する素子です。

CMOSの場合は、このNMOSとPMOSの両方を使って回路を構成します。

V_{GS} はソースを基準にしたゲート電位、 V_{DS} はソースを基準にしたドレイン電位、 I_{DS} はソースとドレイ

ンの間に流れる電流を表します。

一般にボディはソースに接続して使います。

● MOS FET の基本式

MOS FET の静特性を図2に示します(I_{DS} - V_{DS} 特性)。

▶ 非飽和領域

図2において($V_{GS}-V_{th}$)> V_{DS} の領域、つまり非飽和領域ではドレイン電圧 V_{DS} に対し I_{DS} はほぼ直線的に変化します。

電流式は次式となります。

$$I_{DS} = \beta_0 \frac{W}{L} \left\{ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right\} \dots\dots\dots(1)$$

▶ 飽和領域

図2で、($V_{GS}-V_{th}$) $\leq V_{DS}$ の領域、つまり飽和領域ではドレイン電圧に対してわずかに電流が増加します。傾きを外挿して $I_{DS}=0$ になるドレイン電圧を V_A とすると、電流は次式となります。

$$I_{DS} = \frac{1}{2} \beta_0 \frac{W}{L} (V_{GS} - V_{th})^2 \left(1 + \frac{1}{V_A} V_{DS} \right) \dots\dots\dots(2)$$

飽和領域におけるわずかな電流増加の現象をチャネル長変調効果と呼びます。

V_A の逆数 $1/V_A = \lambda$ をチャネル長変調効果係数と呼び、アナログ回路では重要なパラメータの一つです。

▶ アナログ特性を表すパラメータ

MOS アナログ回路では、飽和領域で使われることが多く、相互コンダクタンス gm を計算してみると、

$$gm = \left. \frac{dI_{DS}}{dV_{GS}} \right|_{V_{DS} \text{一定}} = \beta_0 \frac{W}{L} (V_{GS} - V_{th})$$

$$= \sqrt{2I_{DS} \cdot \beta_0 \cdot \frac{W}{L}} \dots\dots\dots(3)$$

ただし、 $\lambda V_{DS} \ll 1$

バイポーラ・トランジスタの gm が本質的に動作電流で決まってしまうのに対し、MOS FET の場合は(3)式からわかるように、パターン設計 (W/L の値)により変えられるのが特徴です。

出力抵抗 r_o を計算すると、

$$r_o = \left. \frac{dV_{DS}}{dI_{DS}} \right|_{V_{GS} \text{一定}}$$

$$= \frac{2L}{\beta_0 W (V_{GS} - V_{th})^2 \lambda} = \frac{1}{\lambda I_{DS}} \dots\dots\dots(4)$$

(1)~(2)式において β_0 は導電係数で、

$$\beta_0 = \mu C_{ox} = \mu \cdot \frac{\epsilon_{ox}}{t_{ox}}$$

μ : キャリアの移動度

ϵ_{ox} : ゲート酸化膜の誘電率

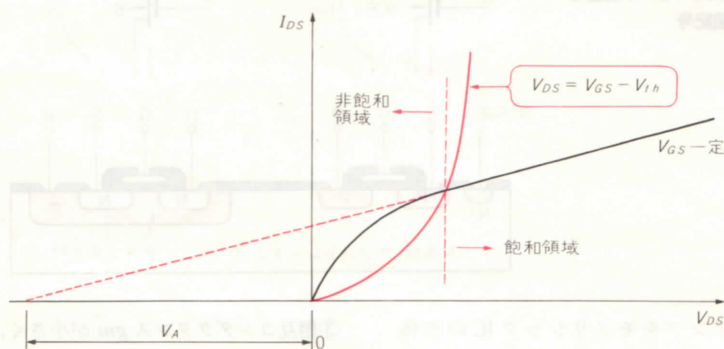
t_{ox} : ゲート酸化膜厚さ

V_{th} : しきい値電圧

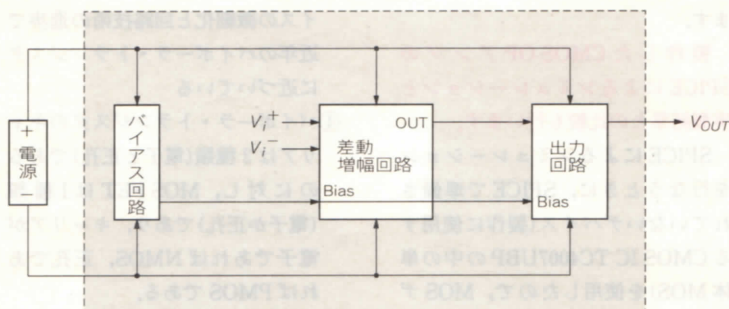
L : チャネル長, W : チャネル幅

(1)~(4)式はこれから説明でたびたび出てくるので、よく覚えておいてください。

〈図2〉 MOS FET の静特性

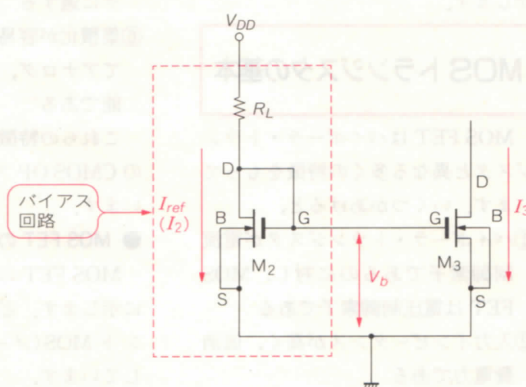


〈図3〉 OP アンプの構成



〈図4〉

抵抗負荷バイアス回路



CMOS OP アンプの 回路設計

OP アンプは基本的に図3に示した各ブロックで構成されます。

それぞれのブロックの構成法について、一般的に使われる MOS 回路を紹介します。

● バイアス回路

バイアス回路は負荷抵抗 R_L と NMOS の M_2 で構成されます(図4)。

M_2 に流れる電流 I_{ref} と M_3 に流れる電流 I_3 はカレント・ミラーになっています。すなわち、 M_2 のゲートとドレインは結線されているので、
 $(V_{GS} - V_{th}) = (V_{DS} - V_{th}) < V_{DS}$ となり M_2 は飽和状態で動作します。今、 M_2 と M_3 の特性 ($\beta_0 = \mu_n \epsilon_{ox} / t_{ox}$, V_{thn}) がそろっており、 M_3 も飽和領域で動作するとすれば、

$$\begin{aligned} \frac{I_3}{I_{ref}} &= \frac{1/2 \cdot \beta_0 (W/L)_{M3} (V_{GS} - V_{thn})^2}{1/2 \cdot \beta_0 (W/L)_{M2} (V_{GS} - V_{th})^2} \\ &= \frac{(W/L)_{M3}}{(W/L)_{M2}} \end{aligned}$$

となります。

つまり、基準電流 I_{ref} に対してお互いのパターン寸法比 (W/L) 倍の電流 I_3 が M_3 に流れます。お互いの電流が鏡に写したような関係になるので、カレント・ミラー回路と呼ばれています。

いま、 M_2 のオン抵抗が温度などの影響で変動したときを考えると、図5の負荷抵抗からわかるとおり、負荷抵抗 R_L の抵抗値が大きいくほど基準電流 I_{ref} のばらつきは小さく抑えられます。

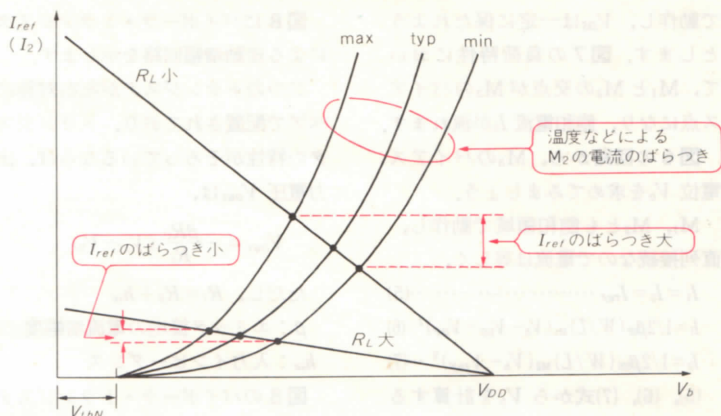
モノリシック IC の設計では、大きな抵抗値を得るためには P^+ または N^+ の拡散層を使わないで、**MOS トランジスタを使った直流電流源(能動負荷と呼ぶ)を使います。**

高抵抗を得るためには拡散層を使うよりも能動負荷のほうが、はるかにパターン面積が少なく済むためです。

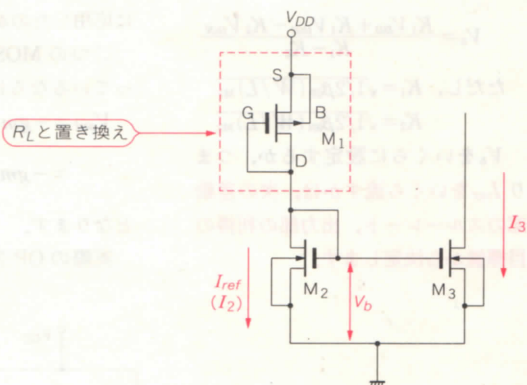
● バイアス回路の実例

そこで、実際の OP アンプのバイアス回路は図6のような回路にな

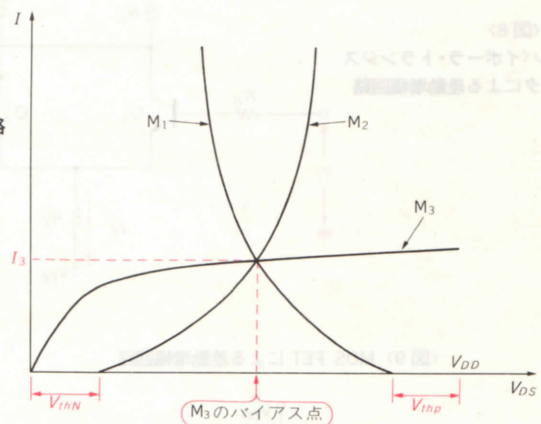
〈図5〉抵抗負荷バイアス回路の負荷特性



〈図6〉
能動負荷バイアス回路



〈図7〉
能動負荷バイアス回路
の負荷特性



ります。市販の製品では特性を改善するため、より複雑な回路となりますが、原理的にはこれで十分です。

この回路では能動負荷として M_1 (PMOS) を使っていますが、なぜ PMOS を使うかという点、次の差動部のところで同じ PMOS の能動負荷を使っているからです。

これはモノリシック IC の設計手

法で、同じ種類で特性が同じ MOS で回路を構成することで、製造プロセス(特にしきい値電圧 V_{th})のばらつきの影響を小さくするためです。

PMOS の M_1 と NMOS の M_2 の組み合わせにより、結果として CMOS インバータの入出力を結線したような回路になっています。

M_1 , M_2 はそれぞれドレインとゲ

ートが結線されているので飽和領域で動作し、 V_{DS} は一定に保たれようとし、図7の負荷特性において、 M_1 と M_2 の交点が M_3 のバイアス点になり、飽和電流 I_3 が流れます。

図6の回路から、 M_3 のバイアス電位 V_b を求めてみましょう。

M_1 、 M_2 とも飽和領域で動作し、直列接続なので電流は等しく、

$$I_1 = I_2 = I_{ref} \dots\dots\dots (5)$$

$$I_1 = \frac{1}{2} \beta_{OP} (W/L)_{M1} (V_b - V_{DD} - V_{thP})^2 \quad (6)$$

$$I_2 = \frac{1}{2} \beta_{ON} (W/L)_{M2} (V_b - V_{thN})^2 \quad (7)$$

(5)、(6)、(7)式から V_b を計算すると、

$$V_b = \frac{K_1 V_{DD} + K_1 V_{thP} - K_2 V_{thN}}{K_1 - K_2}$$

$$\text{ただし、} K_1 = \sqrt{1/2 \beta_{OP} (W/L)_{M1}}$$

$$K_2 = \sqrt{1/2 \beta_{ON} (W/L)_{M2}}$$

V_b をいくらに設定するか、つまり I_{ref} をいくら流すかは、次の差動部のスルーレート、出力部の利得の目標値から決定します。

● 差動増幅回路

図8にバイポーラ・トランジスタによる差動増幅回路を示します。

二つのトランジスタが左右対称にペアで配置されており、トランジスタの特性がそろっているならば、出力電圧 V_{out} は、

$$V_{out} = -\frac{\beta R_C}{R_i} (V_1 - V_2)$$

ただし、 $R_i = R_B + h_{ie}$

β ：エミッタ接地の電流増幅度

h_{ie} ：入力インピーダンス

図8のバイポーラ・トランジスタによる差動増幅回路をMOS FETに応用したのが図9の回路です。

二つのMOS FETの特性がそろっているならば、出力電圧 V_{out} は、

$$V_{out} = -gm (R_D \parallel r_o) (V_1 - V_2)$$

$$= -gm \cdot \frac{R_D \cdot r_o}{R_D + r_o} (V_1 - V_2)$$

となります。

実際のOPアンプ回路では R_D を

能動負荷で構成しています。これは、高抵抗が容易に得られるのと、単一出力(シングル・エンド)が得られるからです。

次段の出力部が差動入力であればよいのですが、一般に出力回路は1入力であるため、差動増幅回路の出力をシングル・エンドにする必要があります。

能動負荷を使うと図10の回路となりシングル・エンドの出力が可能になります。

図10の回路は R_D を能動負荷に置き換え、また R_S を M_3 による定電流源で構成した回路になっており、CMOS OPアンプのほとんどがこの回路構成を用いています。

この場合、能動負荷がPMOS、差動入力MOS FETと定電流源のMOS FETがNMOSですが、NMOSとPMOSをすべて入れ替えた回路も構成できます(図11)。

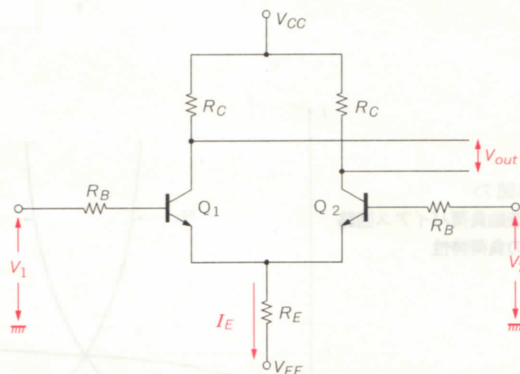
図10の回路では差動入力MOS FETにNMOSを使用していますが、これはNMOS FETのボディとなるウェルをソースに接続して基板との電位の変動による影響をなくし、動作入力電圧範囲を広くするためです。また、同じパターン寸法比(W/L)であれば、NMOSはPMOSに比べて gm が大きいため、大きな差動利得が得られます。

図10の差動増幅度 A_v は、

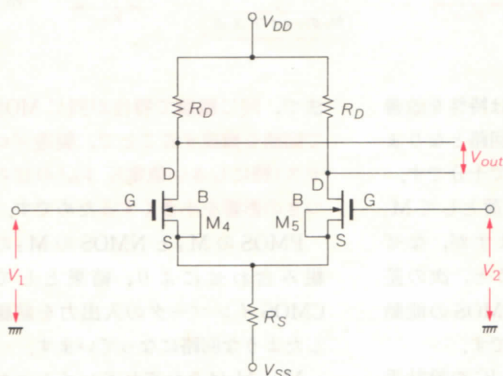
$$A_v = -gm_5 (r_{o7} \parallel r_{o6})$$

となります。

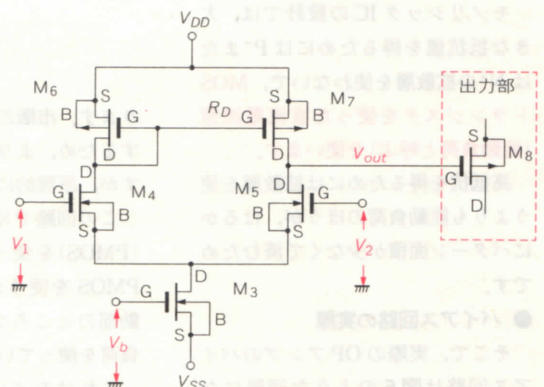
〈図8〉
バイポーラ・トランジスタによる差動増幅回路



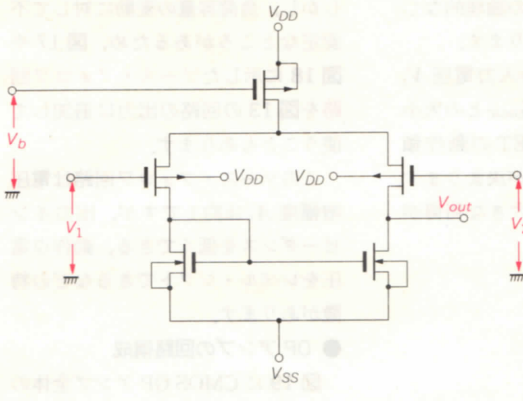
〈図9〉 MOS FET による差動増幅回路



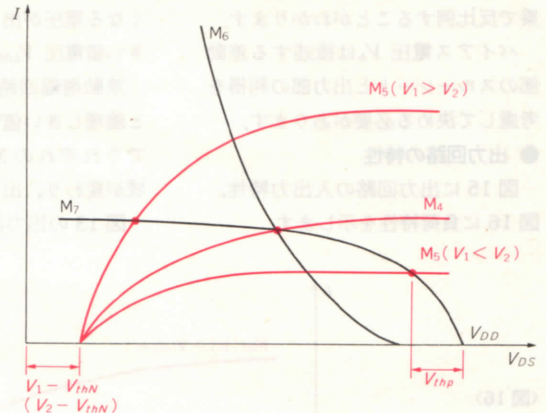
〈図10〉 シングル・エンド出力の差動増幅回路



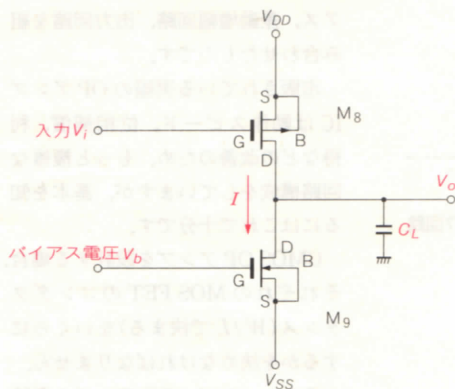
〈図 11〉 PMOS 入力差動増幅回路



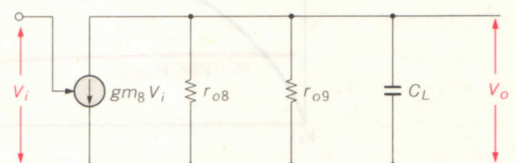
〈図 12〉 差動増幅回路の負荷特性



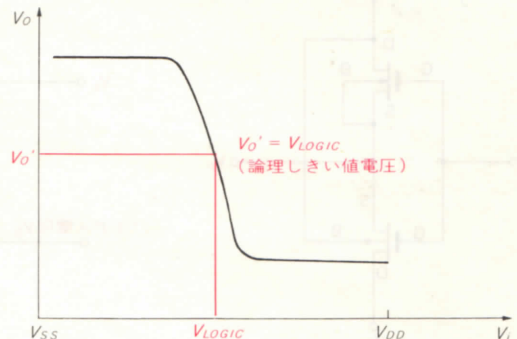
〈図 13〉 CMOS 構成の出力回路



〈図 14〉 出力回路の等価回路



〈図 15〉 出力回路の入出力特性



もし差動入力を図 11 のように PMOS で構成すれば PSRR (電源変動除去比) 特性が改善できます。

したがってそれぞれの回路の特性や目的に応じて回路構成を選択する必要があります。

● 差動増幅回路の動作

それでは差動増幅回路の動作原理を調べてみましょう。

図 10 で、 M_6 は能動負荷であり、飽和領域で動作しています。 M_7 も飽和領域で動作しており、 M_6 、 M_7 の特性 (β_0 , V_{th} , W/L) が等しいとすると、

$$I_6 = I_7$$

M_8 と M_4 は直列接続ですから、

$$I_6 = I_4$$

したがって、 I_4 と I_5 の差が差動部の出力電流になります。しかし次段の回路の入力は M_8 のゲートとなるため電流のやり取りはなく、図 12 の負荷特性で示したように V_1 、 V_2

の大小で M_5 、 M_7 の動作領域が変わることにより、

$$I_5 = I_7$$

となる出力電圧が決まります。

$V_1 > V_2$ では M_5 は非飽和領域、 M_7 は飽和領域です。 $V_1 < V_2$ では M_5 は飽和領域、 M_7 は非飽和領域となります。

● 出力回路の構成

出力回路は OP アンプの利得をかせぐところであり、かつ直接負荷を駆動する重要な部分です。

図 13 の回路は CMOS OP アンプ回路でよく使われる出力回路で、 M_9

を定電流負荷、 M_8 を駆動 MOS FET とする CMOS インバータ回路です。

図 14 の等価回路から、

$$gm_8 V_i + \frac{V_o}{(r_{O8} \parallel r_{O9})} + j\omega C_L V_o = 0$$

したがって直流増幅度 A_v は、

$$A_v = V_o / V_i = -gm_8 (r_{O8} \parallel r_{O9}) \quad (8)$$

(8) 式に $gm_8 = \sqrt{2\beta_0 \cdot W/L \cdot I}$

$$r_{O8} = 1/I\lambda_8, \quad r_{O9} = 1/I\lambda_9$$

を代入して、(8) 式を変形すると、

$$A_v = -\sqrt{(2\beta_0 \cdot W/L) / I} / (\lambda_8 + \lambda_9) \quad (9)$$

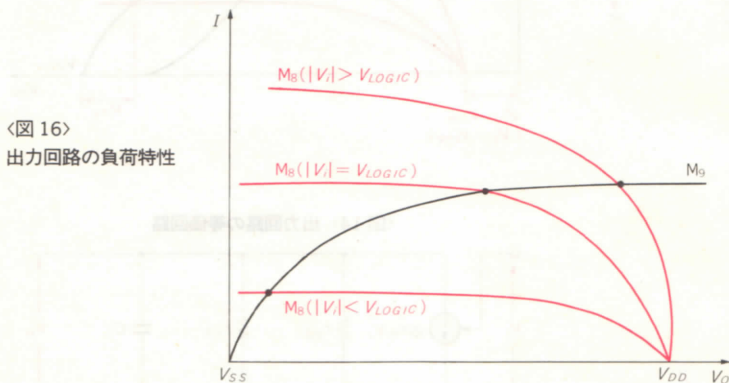
したがって、(9) 式より増幅度は M_8 のパターン寸法比 (W/L) に 1/2 乗

で比例し、バイアス電流 I に $1/2$ 乗で反比例することがわかります。

バイアス電圧 V_b は後述する差動部のスルーレートと出力部の利得を考慮して決める必要があります。

● 出力回路の特性

図 15 に出力回路の入出力特性、図 16 に負荷特性を示します。



〈図 16〉
出力回路の負荷特性

入力電圧 V_i と出力電圧 V_o が等しくなる電圧が出力回路の論理的なしきい値電圧 V_{LOGIC} となります。

差動増幅回路からの入力電圧 V_i と論理的しきい値電圧 V_{LOGIC} との大小でそれぞれの MOS FET の動作領域が変わり、出力電圧が決まります。

図 13 の出力回路は大きな利得が

あり、出力電圧範囲も広くとれます。しかし、負荷容量の変動に対して不安定なところがあるため、図 17 や図 18 に示したソース・フォロワ回路を図 13 の回路の出力に追加して使うこともあります。

このソース・フォロワ回路は電圧増幅度 A_v は約 1 ですが、出力インピーダンスを低くできる、動作点電圧をレベル・シフトできるなどの特徴があります。

● OP アンプの回路構成

図 19 に CMOS OP アンプ全体の内部回路を示しました。

これは今までに説明してきたバイアス、差動増幅回路、出力回路を組み合わせたものです。

市販されている実際の OP アンプ IC は動作スピード、位相補償、利得などの改善のため、もっと複雑な回路構成をしていますが、基本を知るにはこれで十分です。

CMOS OP アンプを設計する場合、それぞれの MOS FET のコンダクタンス (W/L で決まる) をいくらにするかを決めなければなりません。

そのためには、OP アンプの各特性(入出力特性、周波数特性、トランジェント特性)に影響する回路パラメータを知る必要があります。

そこで、それぞれについて調べてみましょう。

● スルーレート

図 19 の M_2 の電流 I_2 と M_3 の電流 I_3 はカレント・ミラーの関係にあります。

$$I_3 = I_2 \cdot \frac{(W/L)_{M3}}{(W/L)_{M2}}$$

M_3 の電流 I_3 は OP アンプのスルーレート SR (図 20) と関係しており、次の関係を満足する必要があります。

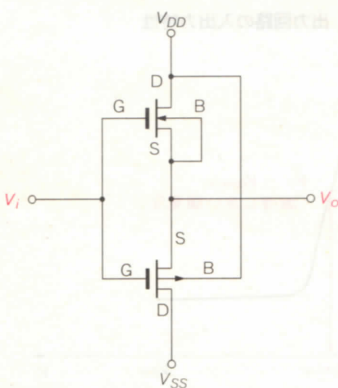
$$SR < I_3 \omega / gm = I_3 / C_1$$

ただし、 ω : OP アンプのユニティ・ゲイン角周波数

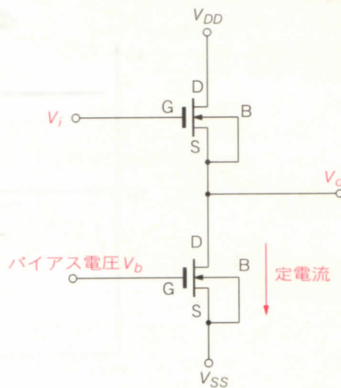
gm : 差動入力 MOS FET のトランスコンダクタンス

また入力信号が正弦波で、必要な

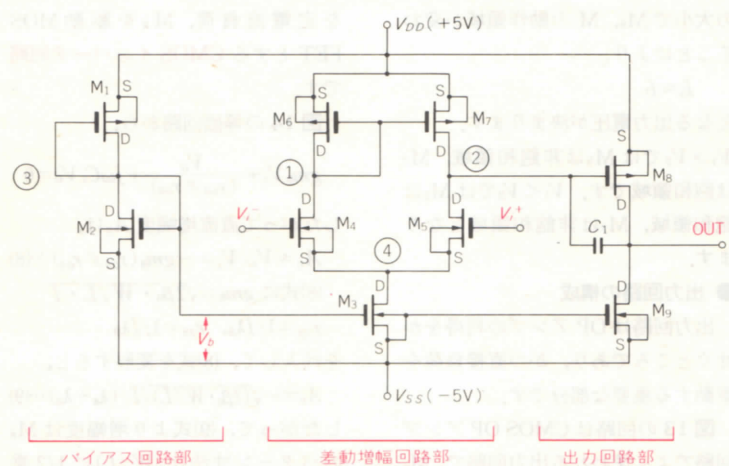
〈図 17〉 CMOS ソース・フォロワ回路



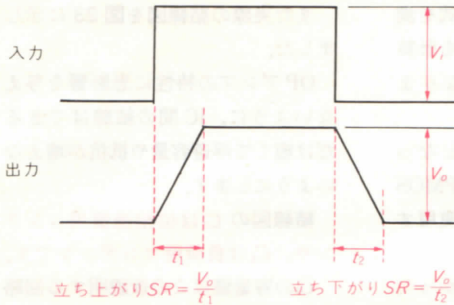
〈図 18〉 NMOS ソース・フォロワ回路



〈図 19〉 CMOS OP アンプ回路



〈図 20〉 スルーレートとは



最大振幅 E と最大周波数 f が与えられれば、理想出力電圧 V_o は、

$$V_o = E \sin \omega t = E \sin 2\pi f t$$

dV_o/dt が OP アンプのスルーレート以下であれば、波形がひずまないで最大出力電圧が得られますが、この条件は、

$$dV_o/dt = E\omega \cos \omega t \quad \text{より}$$

$$E\omega = 2\pi f E < SR$$

となります。

● 直流利得

図 19 の M_9 の電流 I_9 は出力回路のところで示したように、直流での利得に影響を与えます。

I_9 も M_2 の電流 I_2 とカレント・ミラーの関係にあり、

$$I_9 = I_2 \cdot \frac{(W/L)_{M9}}{(W/L)_{M2}}$$

(9)式より利得を上げるには、 I_9 を小さくする必要があります。

OP アンプ全体の利得 G_v は、差動増幅回路の利得と出力回路の利得の合計になります。

差動増幅回路の増幅度 A_v は

$$A_v = -g_{m6}(r_{o7} // r_{o5})$$

出力回路の増幅度 A_v' は

$$A_v' = -g_{m8}(r_{o8} // r_{o9})$$

したがって全体の利得 G_v (dB) は

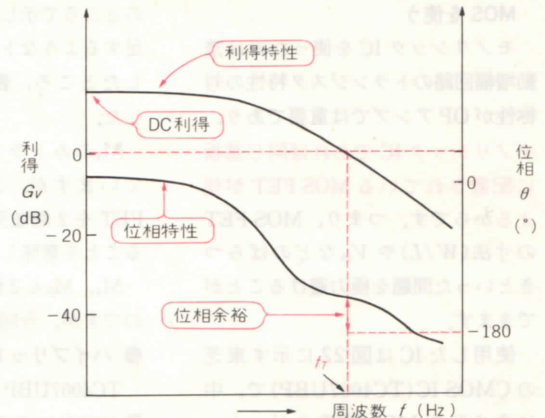
$$G_v = 20 \log A_v + 20 \log A_v' \text{ (dB)}$$

となります。

目標の利得が得られるように、差動増幅回路部の M_5 , M_7 , M_6 , M_4 出力部の M_8 , M_9 の MOS FET のサイズ (W/L) を設定します。

もちろん周波数特性、消費電流などの特性も考えながら設計する必要があります。

〈図 21〉 位相余裕とユニティ・ゲイン帯域幅 f_T



● 周波数特性

利得が 0 dB になる周波数をユニティ・ゲイン帯域幅 f_T といい、次の式で表されます。

$$f_T \approx g_{m6}/2\pi C_L$$

高速な OP アンプを設計したいときは、 f_T が高くなるよう差動部の入力 MOS FET (M_4 , M_5) のサイズ (W/L) を大きくする必要があります。

また、OP アンプの不安定動作を避けるためには位相余裕をなるべく大きくする必要がありますが、位相余裕は手計算では求めるのが難しいので、回路シミュレーションで調べる方法が用いられます。

開ループの周波数特性を示す図 21 からわかるように、位相余裕は利得が 0 dB になる周波数での位相が -180° からどれだけ余裕があるかということです。設計段階で少なくとも 30° 以上の余裕が必要です。

位相余裕にもっとも影響するのが位相補償容量 C_L です。このコンデンサの値はスルーレートも考慮しながら決定します。

● オフセット

OP アンプ全体をながめると、システムのオフセットをゼロにしておく必要があります。

OP アンプの入力を両方とも 0 V にすると、オフセットがなければ M_6 と M_7 にはおのおの M_3 の 1/2 の電流が流れ、OP アンプの出力は 0

V になるはずですが、

そのためのシステムのオフセットを 0 にするためには、

$$\frac{\beta_{M6}}{\beta_{M8}} = \frac{\beta_{M7}}{\beta_{M9}} = \frac{1}{2} \cdot \frac{\beta_{M3}}{\beta_{M9}} \quad \dots\dots\dots (10)$$

にします。

また差動増幅回路部は各トランジスタの対称性が重要です。

したがって、

$$\beta_{M4} = \beta_{M5}, \quad \beta_{M6} = \beta_{M7} \quad \dots\dots\dots (11)$$

も必要です。

また、出力回路においては、論理的しい値と差動増幅回路の同相入力に対する出力電位とは一致する必要があります。

そのためには、トランジスタに流れる電流値の関係から、

$$\beta_{M8} = 2\beta_{M7} = 2\beta_{M6} \quad \dots\dots\dots (12)$$

ただし各 β は、

$$\beta = \beta_0 \cdot (W/L) = \mu C_{ox} (W/L)$$

各 MOS FET で μ , C_{ox} が同一であれば(10)~(12)式の関係から、パターン寸法比 (W/L) で OP アンプの設計値が一義的に決まることがわかるでしょう。

CMOS OP アンプの製作

今まで説明してきた設計方法をもとに、ハイブリッド CMOS OP アンプを作ってみました。

製作にあたっては、モノリシック CMOS IC の中の単体 MOS FET を使っています。

● モノリシック IC 中の単体 MOS を使う

モノリシック IC を使ったのは差動増幅回路のトランジスタ特性の対称性が OP アンプでは重要であり、モノリシック IC であれば同じ基板に配置されている MOS FET が使えるからです。つまり、MOS FET の寸法 (W/L) や V_{th} などのばらつきといった問題を極力避けることができます。

使用した IC は図 22 に示す東芝の CMOS IC (TC4007UBP) で、中に含まれる MOS FET のゲート、ドレインが分離されており、回路を組むのに都合がよいからです。

CMOS OP アンプの回路構成は、図 19 をそのまま使います。

回路はハイブリッドで組むので、個々の MOS FET のコンダクタンスは変更できません。(パターン寸法 W/L を変更できない)。したがって、トランジスタ数の比でみかけの W/L を変えて設計を行います。

設計手順のシステム・オフセットのところで示した条件(10)~(12)式を満足するようなトランジスタ数を計算したところ、表 1 のようになりました。

M_8 のみトランジスタ数 2 となっていますが、これは M_8 は PMOS FET を 2 個並列に結線して使用することを意味します。

M_4 、 M_5 も 2 個以上にしたかったのですが、今回は 1 個にしました。

● ハイブリッドによる回路構成

TC4007UBP 中のトランジスタ数が少ないので、IC を数個使って回路を組まなければなりません。

このときどの MOS FET を同じ IC で組むかを検討する必要があります。

特に特性、寸法、 V_{th} などの整合性が崩れた MOS FET を使ったときに影響の大きい差動増幅回路は、同一 IC 内の MOS FET を使う必要があります。

これを考慮した IC の組み合わせ

を表 2 に示しました。

また実際の結線図を図 23 に示しました。

OP アンプの特性に悪影響を与えないように、IC 間の結線はできるだけ短くて浮遊容量や抵抗が増えないようにします。

結線図の C_1 は位相補償用コンデンサ、 C_L は負荷用コンデンサです。 C_1 の容量値はこの後説明する回路シミュレーションで決定しました。

また、使用しない MOS のゲートはフローティングになると貫通電流が流れるので電源に固定します。

SPICE によるシミュレーションと特性

製作したハイブリッド CMOS OP アンプの各特性について SPICE によるシミュレーションを行い、実測データとの比較を行いました。

OP アンプの電源は標準的な正負対称の 2 電源 $V_{DD}=5\text{V}$ 、 $V_{SS}=-5\text{V}$ を採用しています。

● 回路のサブサーキット化

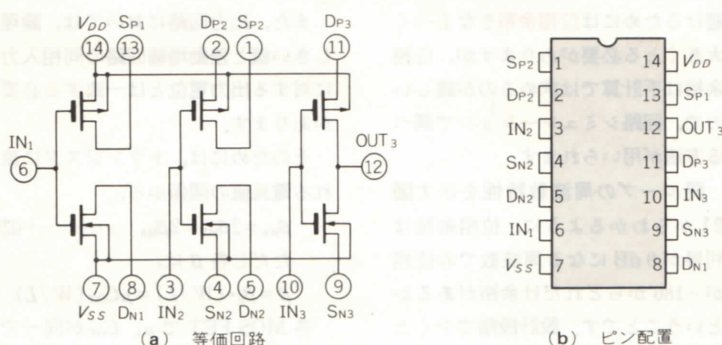
設計した OP アンプの SPICE モデルを図 24 に示します(図 19 のノード番号、端子名参照)。

SPICE を使った回路シミュレーションで OP アンプの各特性を調べるとき、各シミュレーションでその都度 OP アンプ回路の CIR ファイルを入力するのはたいへんなので、OP アンプをサブサーキットにしています。

プログラム中の TC407N、TC407P は今回製作に使用したデバイス(東芝の CMOS IC: TC4007UBP)のモデル名です。

M_8 は表 1 より 2 個の並列結線なので、MOS 2 個の並列でもよいのですが、プログラムでは他の

〈図 22〉⁽¹²⁾ CMOS IC (TC4007UBP) の中身



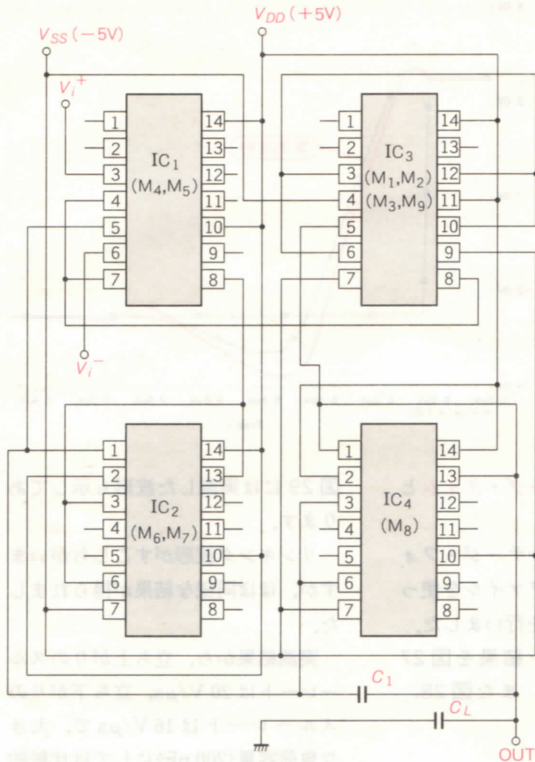
〈表 1〉 CMOS OP アンプの設計値

	トランジスタ数	MOS	備考
M_1	1	P	バイアス部
M_2	1	N	
M_3	1	N	
M_4	1	N	差動部
M_5	1	N	
M_6	1	P	
M_7	1	P	
M_8	2	P	出力部
M_9	1	N	
C_1	150 pF		位相補償

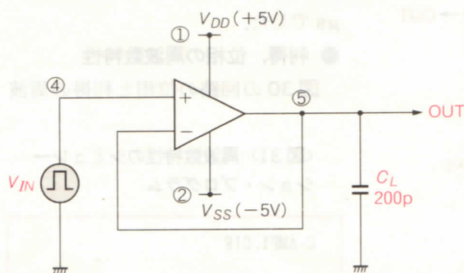
〈表 2〉 使用する IC の組み合わせ

IC	回路素子	備考
1	M_4 、 M_5	差動ペア
2	M_6 、 M_7	負荷ペア
3	M_1 、 M_2 、 M_3 、 M_9	バイアス・ペア
4	M_8	駆動 MOS

〈図 23〉 IC 間の接続のしかた



〈図 25〉 スルーレートのシミュレーション回路



PMOS の 2 倍のチャネル幅 $W = 960 \mu\text{m}$ にしてプログラムしています。

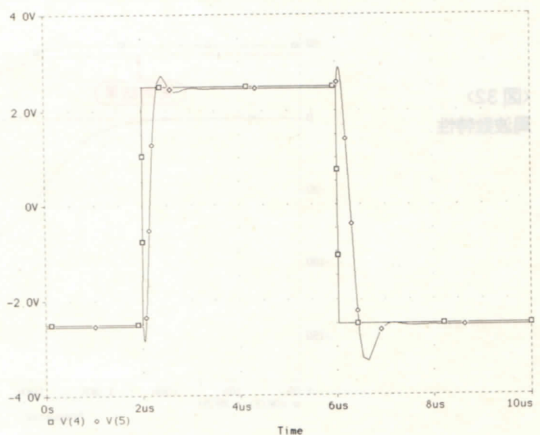
● スルーレートとセトリング・タイム

信号変化が速くなると OP アンプの出力電圧は入力信号の変化に追従できなくなります。

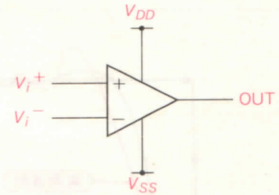
この出力電圧の変化速度をスルーレートと呼びますが、**OP アンプでは、基本的にはスルーレートはアンプ内部の構造で決まります。**

立ち上がりと立ち下がりでスルーレートが異なることがあるので、両

〈図 27〉
スルーレートのシミュレーション結果



〈図 24〉 OP アンプ回路のサブサーキット



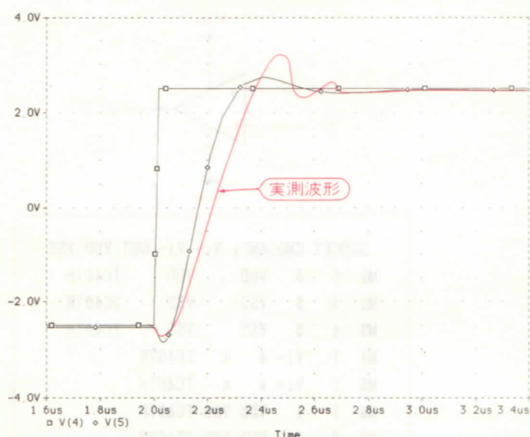
```
.SUBCKT CMOSAMP1 Vi+ Vi- OUT VDD VSS
M1 3 3 VDD VDD TC407P
M2 3 3 VSS VSS TC407N
M3 4 3 VSS VSS TC407N
M4 1 Vi- 4 4 TC407N
M5 2 Vi+ 4 4 TC407N
M6 1 1 VDD VDD TC407P
M7 2 1 VDD VDD TC407P
M8 OUT 2 VDD VDD TC407P W=960U
M9 OUT 3 VSS VSS TC407N
C1 OUT 2 150P IC=0
.ENDS
```

〈図 26〉 スルーレートのシミュレーション・プログラム

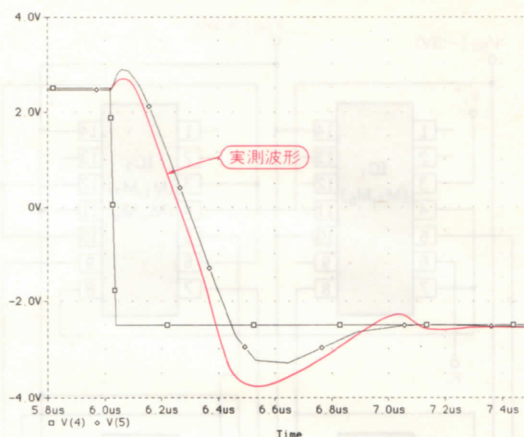
```
C-AMP2.CIR
C-AMP2 SR SET-TIME 1993/2 S.TAKEI
.LIB "B:YLIBEVAL.LIB"
VIN 4 0 PULSE(-2.5 2.5 2U 20N 20N 4U 10U)
.TRAN 15N 10U
CL 5 0 200P
VDD 1 0 5
VSS 2 0 -5
X1 4 5 5 1 2 CMOSAMP1
.PROBE V(4) V(5)
.END

C-AMP2.CMD
A
V(4) V(5)
```


〈図 28〉 立ち上がりのスルーレート



〈図 29〉 立ち下りのスルーレート



方で確認する必要があります。

OP アンプのステップ入力に対する応答特性は、入力を印加してから出力電圧が目標値に対してある定められた誤差範囲に収まる時間でも表されます。この時間はスルーレートとリングングが収束するまでの時間

の和であり、**セtring・タイム**と呼ばれています。

図 25 に示したボルテージ・フォロフ回路で図 26 のファイルを使ってシミュレーションを行いました。

シミュレーション結果を図 27 ～図 29 に示します。また図 28、

図 29 には実測した波形も示してあります。

リングング波形がすこしちがいますが、ほぼ同様な結果が得られました。

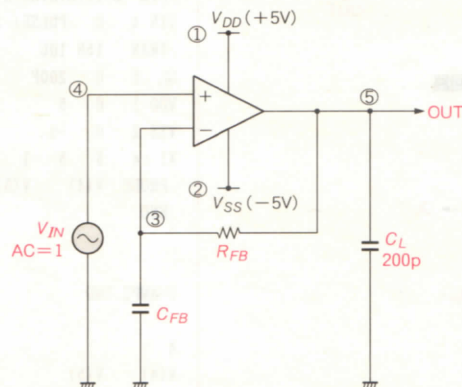
実測結果から、立ち上がりのスルーレートは $20 \text{ V}/\mu\text{s}$ 、立ち下りのスルーレートは $16 \text{ V}/\mu\text{s}$ で、大きな負荷容量 (200 pF) には比較的急速に動作しています。

また、セtring・タイムは約 $1.4 \mu\text{s}$ でした。

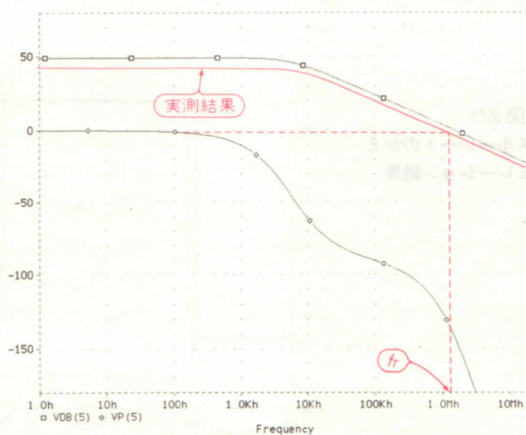
● 利得、位相の周波数特性

図 30 の回路の位相と利得の周波

〈図 30〉
周波数特性のシミュレーション回路



〈図 32〉
周波数特性



〈図 31〉 周波数特性のシミュレーション・プログラム

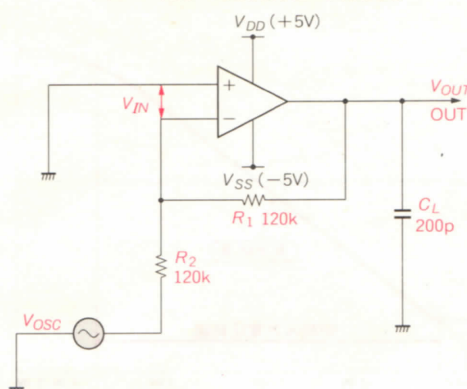
C-AMP1.CIR

```
C-AMP1 VDB VP 1993/2 S.TAKEI
.LIB "B:YLIBYEVAL.LIB"
VIN 4 0 AC=1
.AC DEC 30 1 100MEG
RFB 5 3 100G
CFB 3 0 10
CL 5 0 200P
VDD 1 0 5
VSS 2 0 -5
X1 4 3 5 1 2 CMOSAMP1
.PROBE VDB(5) VP(5)
.END
```

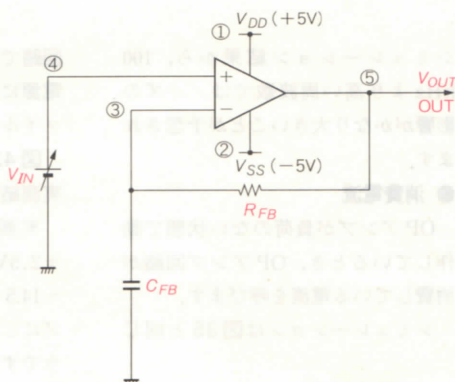
C-AMP1.CMD

```
A
VDB(5) VP(5)
```

〈図 33〉 利得の周波数特性の実験回路



〈図 35〉
同相入力電圧範囲の
シミュレーション回路



数特性のシミュレーションを図 31
を使って行いました。

R_{FB} と C_{FB} は十分大きな値を設定
して、開ループ特性が求まるように
します。

OP アンプは負帰還回路で使われ
るので、発振あるいはリンクングと
いった不安定動作をする場合が多く
あります。

安定動作確保のためには最低でも
位相余裕が 30°以上あるように設計
する必要があります。

図 32 のシミュレーション結果よ
り直流利得 49 dB, ユニティ・ゲイ
ン帯域幅 $f_T=1.6$ MHz, 位相余裕は
32°であることがわかります。

実際の OP アンプの利得測定は図
33 に示した回路で行いました。

R_1, R_2 は大きな抵抗値ほどオー
プン・ループ特性に近づきますが、
OP アンプの駆動能力を考慮して値
を決める必要があります。

今回は $R_1=R_2=120$ k Ω で測定を
行いました。

利得の算出は V_{IN} と V_{out} を直接
測定して、

利得 $G_v=20 \log (V_{out} / V_{IN})$ (dB)
で求めています。

実測の結果も図 32 に示しまし
たが、直流利得以外はほぼシミュレ
ーションと同様な結果が得られてい
ます。

● オフセット電圧

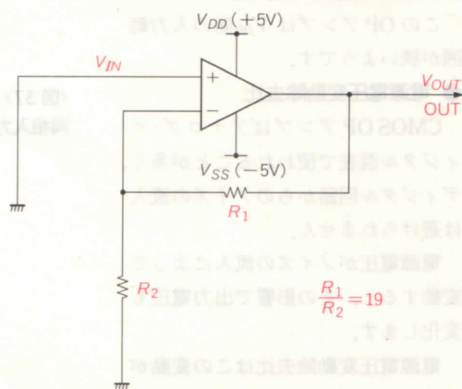
シミュレーションでは使用ラン
ジスタの特性がそろっているのでオ
フセット電圧は発生しません。

回路を故意にアンバランス(例え
ば差動入力 MOS FET サイズを
(W/L)_{M4}=280/8, (W/L)_{M3}=
300/8 などとする)にすればオフセ
ット電圧が発生します。

図 34 に実際のオフセット電圧の
測定回路を示します。

この回路は 20 倍の非反転増幅器
($R_1=19$ k Ω , $R_2=1$ k Ω)で、入力電
圧が 0 V なので出力にはオフセッ
ト電圧の 20 倍の値が得られます。し
たがって測定された出力電圧 V_{out}

〈図 34〉 オフセット電圧の実験回路



〈図 36〉 同相入力電圧範囲のシミュ
レーション・プログラム

C-AMP3.CIR

```
C-AMP3 CMVR 1993/2 S.TAKEI
.LIB "B:YLIBYEVAL.LIB"
VIN 4 0 DC 5
.DC VIN -5 5 0.1
RFB 5 3 100G
CFB 3 0 10
*CL 5 0 200P
VDD 1 0 5
VSS 2 0 -5
X1 4 3 5 1 2 CMOSAMP1
.PROBE V(5) V(0)
.END
```

C-AMP3.CMD

```
A
V(5) V(0)
```

の 1/20 がオフセット電圧というこ
とになります。

実測した結果、使用する IC によ
りばらつきがありますが、オフセッ
ト電圧は 8~15 mV でした。

● 同相入力電圧範囲

図 35 に示した回路で、図 36 の
ファイルを使ってシミュレーション
を行いました。図 37 にシミュレ
ーション結果と実測結果を示します。

NMOS 入力アンプなので、 V_{SS} 側
の入力電圧範囲はカレント・ソース
用 MOS FET の M_3 の影響により、
 V_{th} 分だけ V_{SS} より狭い範囲とな
ります。

実測では、同相入力電圧の範囲

は $-3.8\text{ V} \sim 3.3\text{ V}$ でした。

このOPアンプは V_{DD} 側の入力範囲が狭いようです。

● 電源電圧変動除去比

CMOS OPアンプはアナログ-デジタル混在で使われることが多く、デジタル回路からのノイズの流入は避けられません。

電源電圧がノイズの流入によって変動すると、その影響で出力電圧も変化します。

電源電圧変動除去比はこの変動がどれだけ少いかを表したものです。

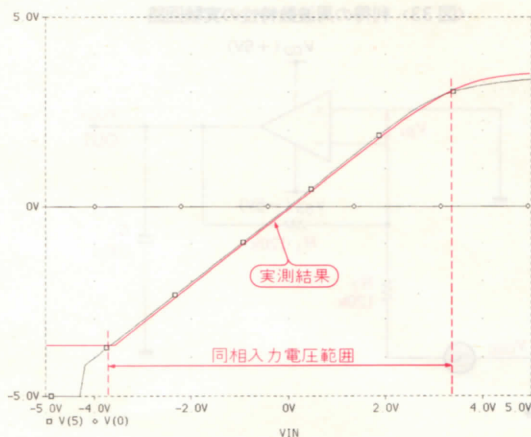
シミュレーションの方法は、回路をボルテージ・フォロワとし、入力電圧をゼロにしておいて、正電源と負電源のそれぞれの電源にノイズを混入させて出力されるノイズの量を評価します。

図38に V_{SS} へのノイズに対するシミュレーション回路を、図39にそのファイルを示します。

実測はしていませんが、図40の

〈図37〉

同相入力電圧範囲



シミュレーション結果から、100 kHz より高い周波数ではノイズの影響がかなり大きいことが予想されます。

● 消費電流

OPアンプが負荷のない状態で動作しているとき、OPアンプ回路が消費している電流を呼びます。

シミュレーションは図35と同じ

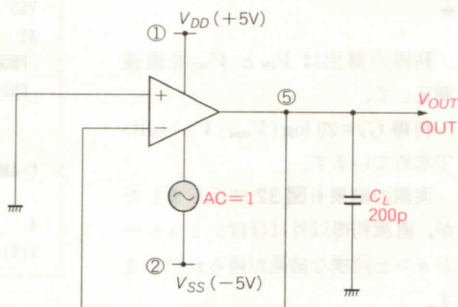
回路で行い、入力電圧を変えながら電源に流れる電流を図41に示すファイルを使って調べます。

図42にシミュレーション結果と実測結果を示します。

実測結果からみて、入力電圧が $\pm 2.5\text{ V}$ の範囲で消費電流は $9.5\text{ mA} \sim 14.5\text{ mA}$ であり、CMOS OPアンプにしてはすこし消費電流が多いようです。

〈図38〉

電源電圧変動除去比のシミュレーション回路



〈図39〉 電源電圧変動除去比のシミュレーション・プログラム

C-AMP5.CIR

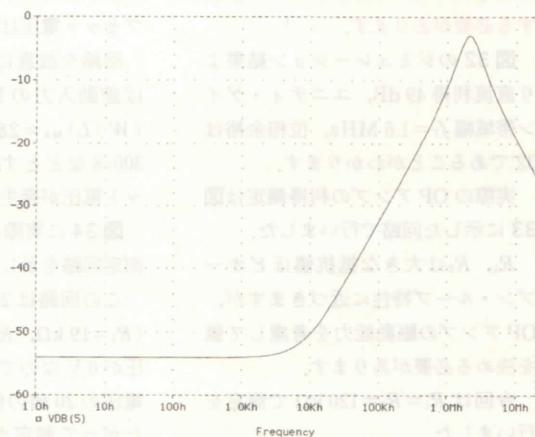
```
C-AMP5 PSRR(VSS) 1993/2 S.TAKEI
.LIB "B:YLIBYEVAL.LIB"
.AC DEC 30 1 100MEG
CL 5 0 200P
VDD 1 0 5
VSS 2 0 DC=-5 AC=1
X1 0 5 5 1 2 CMOSAMP1
.PROBE VDB(5)
.END
```

C-AMP5.CMD

```
A
VDB(5)
```

〈図40〉

電源電圧変動除去比のシミュレーション結果

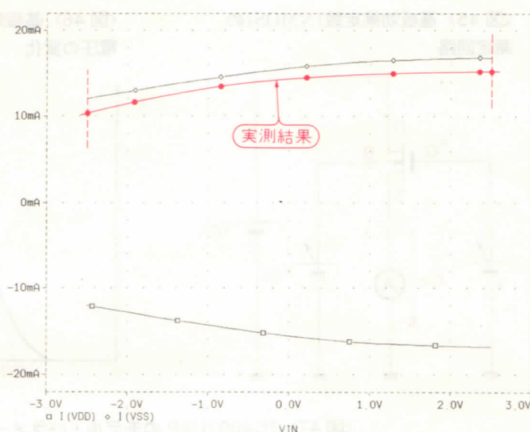


デバイスのモデリング

ここで行ったシミュレーションではSPICEに準備されていないデバイス(東芝のCMOS ICのIC4007UBP)を解析する必要がありました。

そこで、このデバイスのモデリン

〈図 42〉
消費電流



が必要になるので、その概要を示します。

技術資料や文献を参考にしようえでの仮定がかなり必要ですが、このような粗いモデリングでも結論としてかなり実測と一致することが確認できました。

今後この CMOS IC(4000 シリーズ)で回路を組んでシミュレーションを行うときは、そのデバイスの直流特性の合わせ込み (W/L の調整) だけを行えば、ほかのモデル・パラメータは製造プロセスが同じですから、ほとんど変更する必要はありません。

● モデリングの手順

① LEVEL, TPG の設定

技術資料や文献を調査した結果、東芝の CMOS IC TC4000 シリーズは Al ゲート, CMOS LOCCOS 8~10 μm プロセスと考えられます。

したがって、

LEVEL=3, TPG=0 とします。

② t_{ox} , NSUB, LD, WD の設定

製造プロセスに関わるもので、技術資料と文献を調査して、数値を仮定しました。

$t_{ox}=1 \times 10^{-7}[\text{m}]$, $LD=1.2[\mu\text{m}]$, $WD=1.4[\mu\text{m}]$, $(NSUB)_N=5 \times 10^{15}[\text{cm}^{-3}]$, $(NSUB)_P=2 \times 10^{15}[\text{cm}^{-3}]$

③ VTO の設定

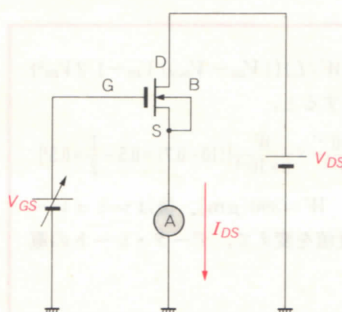
図 43 のような回路で IC 中の MOS トランジスタの静特性 ($I_{DS}-V_{GS}$ 特性) を測定し、図 44 のように、外挿して MOS FET のしきい値電圧を決定します。

図 43 は NMOS の例ですが、PMOS の場合も極性を逆にすることで、同様に測定できます。

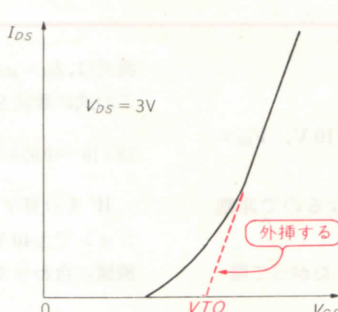
実際に測定してみると IC によりばらつきがありましたが、次のように設定しました。

$VTO_N=0.7[\text{V}]$, $VTO_P=-0.6[\text{V}]$

〈図 43〉 NMOS FET のしきい値電圧 VTO の求め方



〈図 44〉 NMOS FET のしきい値電圧 VTO の測定回路



〈図 41〉 消費電流のシミュレーション

C-AMP8.CIR

```
C-AMP8 POWER 1993/2 $,TAKE1
.LIB "B:YLIBYEVAL.LIB"
.DC VIN -2.5 2.5 0.1
VIN 4 0 5
RFB 5 3 100G
CFB 3 0 10
*CL 5 0 200P
VDD 1 0 5
VSS 2 0 -5
X1 4 3 5 1 2 CMOSAMP1
.PROBE 1(VDD) 1(VSS)
.END
```

C-AMP8.CMD

```
A
1(VDD) 1(VSS)
```

④ KP, L, W の設定

導電係数 $KP=\beta_0=\mu C_{ox}$
 $=\mu(\epsilon_{SiO_2}/t_{ox})$ です。

この計算をするために MOS FET の表面移動度を文献で調べて次のように仮定しました。NMOS の表面移動度 $\mu_n=0.05[\text{m}^2/\text{Vs}]$, PMOS の表面移動度 $\mu_p=0.02[\text{m}^2/\text{Vs}]$

また、ゲート酸化膜 (SiO_2) の誘電率 ϵ_{SiO_2} は、

$$\epsilon_{SiO_2}=3.9 \times 8.85 \times 10^{-12} \\ =3.45 \times 10^{-11}[\text{F/m}]$$

ゲート酸化膜厚は②で示したように $t_{ox}=1 \times 10^{-7}[\text{m}]$ です。

これらの数値を KP の式に代入して計算を行いました。

$$KP_N=1.73 \times 10^{-5}[\text{S/V}]$$

$$KP_P=0.69 \times 10^{-5}[\text{S/V}]$$

次に、チャネル長 L は①より $L=8[\mu\text{m}]$ と仮定しました。

チャネル幅 W は、データ・シートの直流特性の値を使って計算で概算値を出し、細かい合わせ込みはシミュレーションで W の値を変えて、電流値が合うように調整します。その結果、 $W_N=290[\mu\text{m}]$, $W_P=480[\mu\text{m}]$ に設定しました。

⑤ CGSO, CGDO, CGBO の設定

拡散層のゲート下の食い込みは②の仮定で、 $LD=1.2[\mu\text{m}]$ ですから、

次の式で計算できます。

$$CGSO = CGDO = \frac{\epsilon_{SiO2}}{t_{ox}} \times LD \text{ (F/m)}$$

この式に数値を代入すると、

$$CGSO = CGDO = 4.14 \times 10^{-10} \text{ (F/m)}$$

またフィールド酸化膜下の食い込みは②の仮定で、 $WD = 1.4 (\mu\text{m})$ ですから、 $CGBO$ は次の式で計算できます。

$$CGBO = \frac{\epsilon_{SiO2}}{t_{oxf}} \times WD (\mu\text{m})$$

フィールド酸化膜がゲートの下に $1.4 (\mu\text{m})$ 食い込んだときの酸化膜厚 t_{oxf} を、ゲート酸化膜厚の3倍と仮定して計算すると、

$$CGBO = 1.61 \times 10^{-10} \text{ (F/m)}$$

⑥ GAMMA の設定

基板効果定数 $GAMMA$ は、図45のような回路(NMOSの場合)で、基板電圧を変えたときのしきい値電圧 V_{TO} を測定し(図46)、次の式で算出します。

$$GAMMA = (V_{TO2} - V_{TO1}) / \sqrt{V_{BS2} - V_{BS1}}$$

その結果、

$$(GAMMA)_N = 1.0$$

$$(GAMMA)_P = 0.9$$

⑦ TT , RD , RS , RG の設定

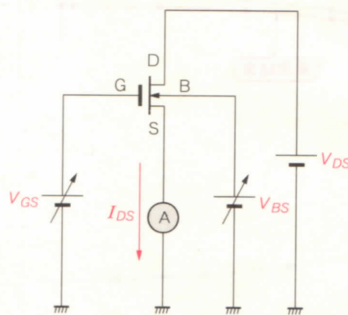
①~⑥までの方法でパラメータを設定すればトランジエント特性もほぼデータ・シートと一致します。

さらに細かい設定は TT , RD , RS , RG , CJ , FC , CBD , CBS など調整できます。今回は下記のパラメータのみを設定しました。

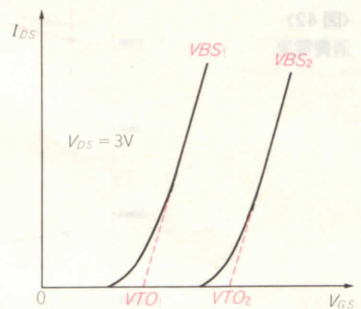
$$(TT)_N = 100 \text{ (ns)}, (TT)_P = 80 \text{ (ns)}, RD = RS = RG = 2.0 \text{ (}\Omega\text{)}$$

この手順により定めたモデル式を図47に示します。

〈図45〉 基板効果定数(NMOS)の測定回路



〈図46〉 基板効果によるしきい値電圧の変化



〈図47〉 TC4007UBP のモデル・パラメータ

```
.model TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.73E-5 GAMMA=1.0
+ TOX=1.0E-7 TPG=0 NSUB=5E15 L=8U
+ W=290U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* 93-02-15 bam by SUMIAKI TAKEI
.model TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.69E-5 GAMMA=0.9
+ TOX=1.0E-7 TPG=0 NSUB=2E15 L=8U
+ W=480U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* 93-02-15 bam by SUMIAKI TAKEI
```

参考・引用文献

- (1) A.B.Grebene: Bipolar and MOS Analog Integrate Circuit Design, John Wiley & Sons, 1984.
- (2) P.R.Gray and R.G.Meyer: MOS Operation Amplifier Design — A Tutorial Overview, IEEE vol. SC-17, pp.969~982, 1982.
- (3) S.M.ジー: 半導体デバイス, 産業図書, 1990.
- (4) W.N.カー and J.P.マイズ: MOS/LSI 設計と応用, エレクトロニクスダイジェスト, 1977.
- (5) W.M.ベニー他: MOS 集積回路, 近代科学社, 1977.
- (6) A.B.Grebene: アナログ集積回路, 近代科学社, 1975.
- (7) 藤井信夫: OP アンプの基礎と応用, オーム社, 1982.
- (8) 岡村勉夫: SPICE によるシミュレータ新活用法, CQ 出版(株), 1992.
- (9) 岡村勉夫: SPICE によるトランジスタ回路の設計, CQ 出版(株), 1992.
- (10) 原誠: 高速 CMOS ロジック IC 編, トランジスタ技術, 1992, 12月号, p341, CQ 出版(株).
- (11) 白土義男: アナログ IC のすべて, 東京電気大学出版局, 1989.
- (12) 東芝 C²MOS 集積回路資料, 東芝, 1986.

チャネル長 W の概算

NMOS のデータ・シートから、 $V_{GS} = 10 \text{ V}$, $V_{DS} = 0.5 \text{ V}$, $I_{OL} = 3.8 \text{ mA}$

この電圧条件は $(V_{GS} - V_{thN} > V_{DS})$ になるので非飽和領域です。

V_{thN} は③で設定した $V_{TON} = 0.7 \text{ V}$. したがって電

流式は、 $I_{OL} = \mu_n C_{ox} (W/L) \{ (V_{GS} - V_{thN}) V_{DS} - 1/2 V_{DS}^2 \}$
この式に数値を代入すると、

$$3.8 \times 10^{-3} = 0.05 \times \frac{3.45 \times 10^{-11}}{1 \times 10^{-7}} \times \frac{W}{8 \times 10^{-6}} \{ (10 - 0.7) \times 0.5 - \frac{1}{2} \times 0.5^2 \}$$

W を計算すると、 $W = 390 (\mu\text{m})$. 後はシミュレーションで $\pm 40 \%$ 程度値を変えて、データ・シートの電流値に合わせます。

CMOSアナログスイッチ

CMOSアナログスイッチは伝送ゲート(Transmission Gate)とも呼ばれており、昔のリレースイッチに置き換わる重要な回路である。下左図に示した回路がCMOSアナログスイッチの基本回路です。PMOSとNMOSが並列接続されており、ゲート電圧によりON、OFFを制御します。

PMOS、NMOS両方がON状態になると入出力間は低抵抗となり、入出力のいずれの方向にも信号を伝送することが出来る。アナログスイッチをON状態にするには、PMOSのゲートをGND、NMOSのゲートを+V_{dd}にすればよい。ON時の入出力間の抵抗は数10オーム以下が望ましい。OFF状態にするには、PMOSのゲートを+V_{dd}、NMOSのゲートをGNDにすればよい。OFF時の入出力間の抵抗は1000メガオーム以上である。

アナログスイッチに要求される特性としては、入出力間の低抵抗化、ON抵抗のフラット化、スイッチON、OFF時の制御信号のフィードスルー（もれ込み）の極小化、温度依存性の極小化などが上げられる。

実際のIC設計では、ON抵抗を低くするために大きなW/L比を必要とするが、チップのパターン面積が大きくなるので、要求仕様に合わせた最適設計が必要となる。下左図の基本アナログスイッチ回路を設計する場合、デバイス設計者はPMOS、NMOSのW/Lをいくらに設計すれば、要求スペックを満足するか、またON抵抗がフラットになっているかを回路シミュレーションで検討します。

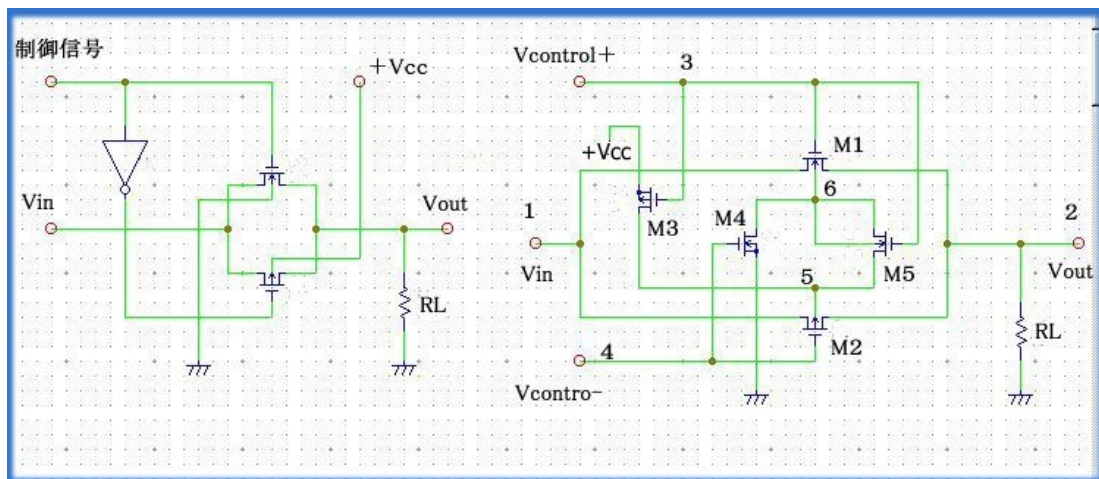
それではPSPICEを使ってこの基本回路をシミュレーションしてみます。
シミュレーション条件は

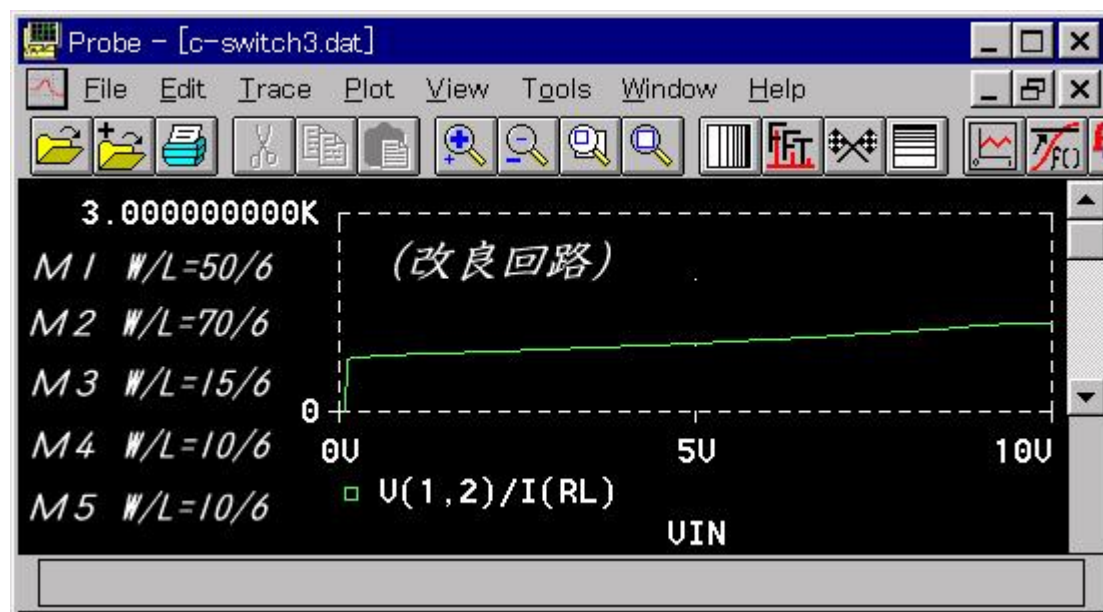
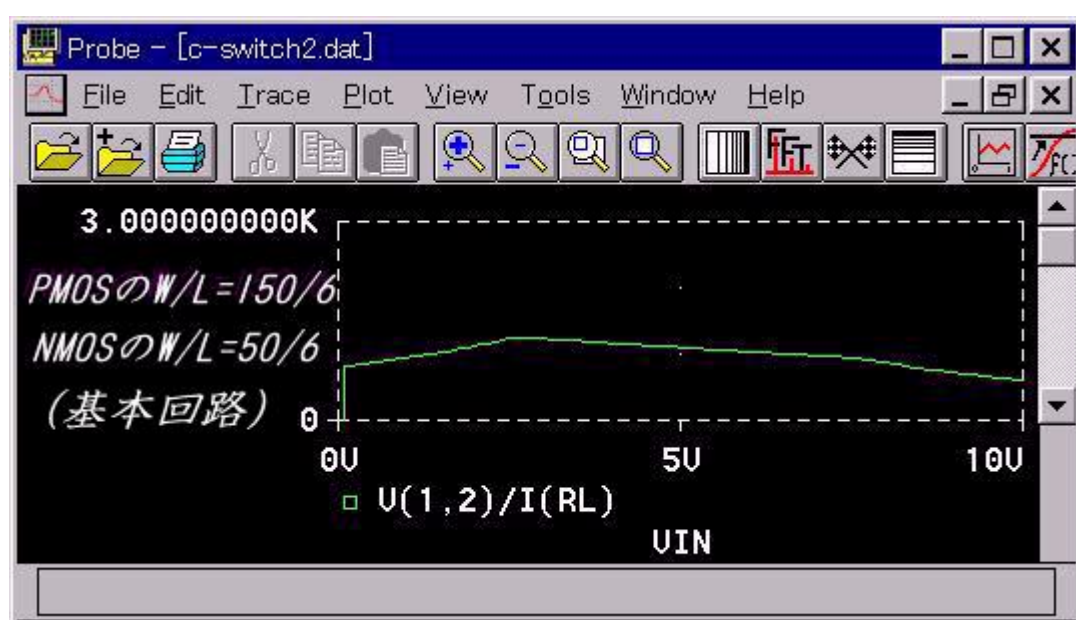
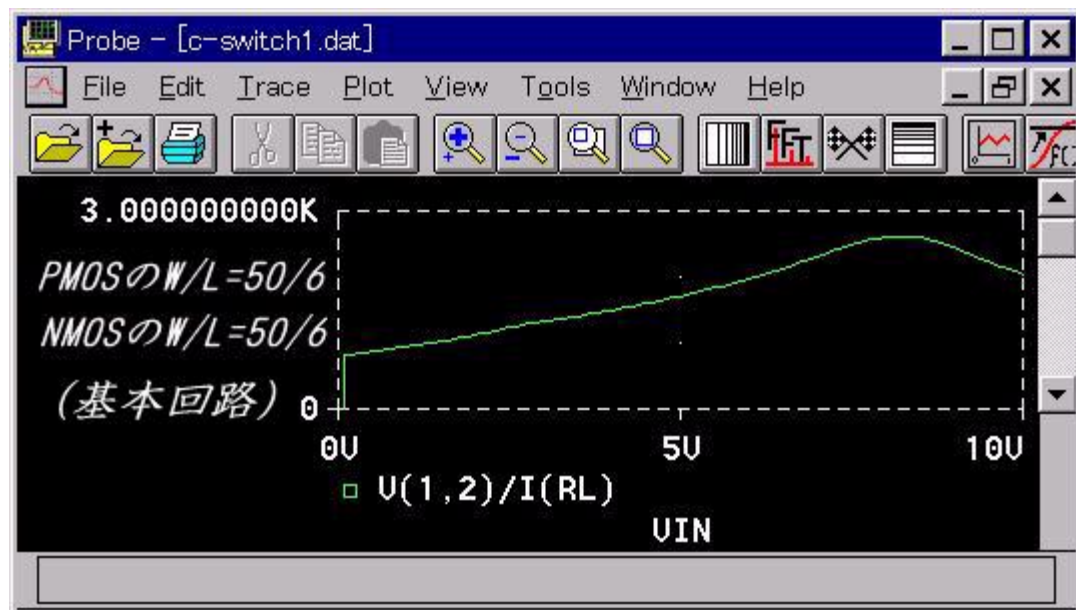
- 1、PMOS、NMOSどちらもW/L=50/6
- 2、PMOSのW/L=150/6 NMOSのW/L=50/6

1の場合はデバイスサイズを同じにした場合。2の場合はON抵抗をほぼ同じにした場合。2の場合なぜPMOSのW/Lを3倍にして、同じ抵抗になるか疑問を持った人はいませんか。それは簡単にいえば、PMOSのキャリアである正孔とNMOSのキャリアである電子のモビリティ(移動度)が約3倍ちがうからです。回路図の下にシミュレーション結果を示しましたが、2の条件のほうが1の条件よりON抵抗がフラットになっています。
(横軸は入力電圧、縦軸はアナログスイッチのON抵抗)

しかしこれでもまだフラットにはほど遠い。そこでこれを改良するため、いろいろな回路が提案されています。(たとえば、下右図の回路)基本的な考えは、ON抵抗が基板バイアスの変動に影響されるので、それをうまくコントロールして、直線性をよくしようという考え方です。市販のICでいえば、MAX4066やMAX312など各社からいろいろ発売されています。データシートを見るとかなりON抵抗がフラットで低抵抗に設計されています。
下右図に示した回路でシミュレーションしてみると、かなり改善されているのがわかります。

本ホームページで紹介しているSPICEなどのシミュレータを使って、広い入力電圧範囲に対してON抵抗が完全フラットになるような新しい回路を考案すれば、企業が飛びつくでしょう。





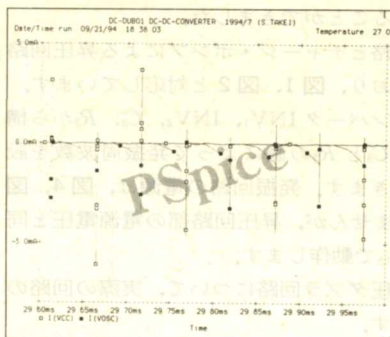
●CMOS アナログスイッチ ネットリスト

・アナログスイッチ 基本回路

```
CMOS-analog-Switch1  For Pspice    1997/10    S.Takei
VCC    20    0    10
VIN     1    0    0
Vcontro+  3    0    10
Vcontro-  4    0    0
.DC    VIN    0    10    0.1
*----- CMOS Switch Circuit -----
M1    1    3    2    0    TC407N    L=6u    W=50u
M2    2    4    1    20   TC407P    L=6u    W=50u
RL    2    0    5k
*----- Device Model -----
.model TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0
+ TOX=1.0E-7 TPG=0 NSUB=5E15
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* Ver:93-02-15 by Sumiaki Takei
*
.model TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9
+ TOX=1.0E-7 TPG=0 NSUB=2E15
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* Ver:93-02-15 by Sumiaki Takei
*-----
.PROBE    V(1,2)    I(RL)
*Trace Expression -->  V(1,2)/I(RL)
.END
```

・CMOSアナログスイッチ改良回路

```
CMOS-analog-Switch2      1997/10    S.Takei
VCC    20    0    10
VIN     1    0    0
Vcontro+  3    0    10
Vcontro-  4    0    0
.DC    VIN    0    10    0.1
*----- CMOS Switch Circuit -----
M1    1    3    2    6    TC407N    L=6u    W=50u
M2    2    4    1    5    TC407P    L=6u    W=70u
M3    5    3    20   20   TC407P    L=6u    W=15u
M4    6    4    0    0    TC407N    L=6u    W=10u
M5    5    3    6    6    TC407N    L=6u    W=10u
RL    2    0    5k
*----- Device Model -----
.model TC407N NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0
+ TOX=1.0E-7 TPG=0 NSUB=5E15
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* Ver:93-02-15 by Sumiaki Takei
*
.model TC407P PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9
+ TOX=1.0E-7 TPG=0 NSUB=2E15
+ WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
* Ver:93-02-15 by Sumiaki Takei
*-----
.PROBE    V(1,2)    I(RL)
*Trace Expression -->  V(1,2)/I(RL)
.END
```



パソコン用 SPICE シミュレーションを援用した

DC-DC コンバータ CMOS アナログ IC の設計トライアル

竹井 澄明

■はじめに

● DC-DC コンバータ IC を設計する

最近の電子機器には、DC-DC コンバータ IC がよく使われているようです。手軽に使える昇圧用 IC として MAX660, ICL7660, LTC1044 などの IC が市販されています。

これらは、いずれもスイッチ・キャパシタによるチャージ・ポンプ方式で昇圧しており、外付けコイルが不要という特徴があります。

私は CMOS アナログ IC の設計に興味をもち、チャージ・ポンプの原理を応用した CMOS の正電圧ダブラ/負電圧ダブラを設計してみました。設計にあたっては、IC 設計特有の技術を使うことにより、回路構成がシンプルで、変換効率の高い回路を設計することができました。

試作した回路の動作電圧範囲と入力電圧範囲は、 $\pm 2.5 \sim \pm 10 \text{ V}$ で、これを $\pm 5.0 \sim \pm 20 \text{ V}$ に昇圧することができ、電圧変換効率は 99 % です。

● 製作した回路とシミュレーション

半導体メーカにおける IC 設計では、SPICE 回路シミュレーションを利用しています。今回の IC の設計でも SPICE 回路シミュレーションを援用して、回路を試作する前に動作を検証しました。

回路シミュレーションを行うには、使用するデバイスのモデル・パラメータが必要です。ここでは私が本

誌⁽³⁾で紹介した TC4007UBP 内の MOS トランジスタのモデル・パラメータを使いました。

実際の回路も、TC4007UBP の MOS トランジスタを組み合わせて製作しました。

製作した回路の実測結果とシミュレーション結果は、よく一致しています。

チャージ・ポンプ方式による 電圧コンバータの原理

● 正電圧ダブラ回路の動作原理

図 1 に正電圧ダブラ回路、図 2 に負電圧ダブラ回路の原理図を示します。チャージ・ポンプによる昇圧という点で基本的に動作は同じなので、正電圧ダブラ回路で基本的な動作原理を説明します。

まずスイッチ SW_1 と SW_4 が閉じ、それと同時に SW_2 と SW_3 が開くと、コンデンサ C_1 は V_{CC} 電位まで充電されます。

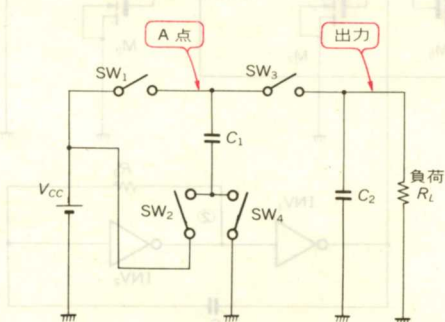
次に SW_1 と SW_4 が開き、それと同時に SW_2 と SW_3 が閉じると、A 点の電圧 V_A は C_1 に蓄積された V_{CC} レベルに、さらに V_{CC} が印加されて、

$$V_A = 2 \cdot V_{CC}$$

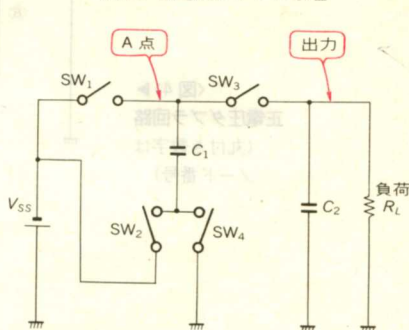
に昇圧されます。このようにして出力側のコンデンサ C_2 の両端には $2V_{CC}$ が得られます。

ダブラ回路は 1 相のクロック信号によって、最初の C_1 の充電と、次の C_1 と C_2 の昇圧動作の繰り返しを切り替えながら動作します。クロック信号による切り替

〈図 1〉 正電圧ダブラの原理



〈図 2〉 負電圧ダブラの原理



え期間には、入力電源 V_{CC} と出力コンデンサ C_2 が直結されることがないので、入力と出力は絶縁されています。

● ダブラ回路は定電圧回路ではない

図3に示すように、入力側の電源電圧 V_{CC} が変動すると、昇圧された出力側の電圧も同様に変動します。ダブラ回路は電圧レギュレータ回路ではありませんし、また同様な市販ICの多くは電圧レギュレーション機能をもたないから、注意が必要です。

しかし、入力電圧が安定しており、出力電流の少ない用途なら簡易電源として便利です。またCMOS構成ならば消費電流が少なく、電池動作に適しています。

もう一つ、ダブラ回路の出力抵抗 R_o による出力電圧降下があります。 R_o はおもにスイッチ回路のON抵抗であり、出力電流が I_o なら、 $I_o \cdot R_o$ の電圧降下が常に存在します。

無負荷時の出力電圧を V_{OUL} とすると、ダブラ回路の出力電圧 V_o は、

$$V_o = V_{OUL} - I_o \cdot R_o \quad \dots\dots\dots (1)$$

です。電圧降下を小さくするには、出力抵抗 R_o を小さく設計することが重要です。

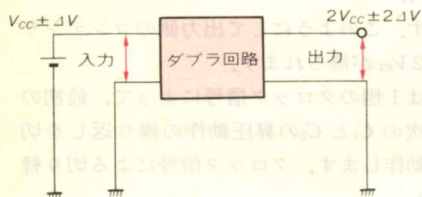
CMOS DC-DC コンバータの回路設計

● 基本回路——正電圧ダブラ回路と負電圧ダブラ回路

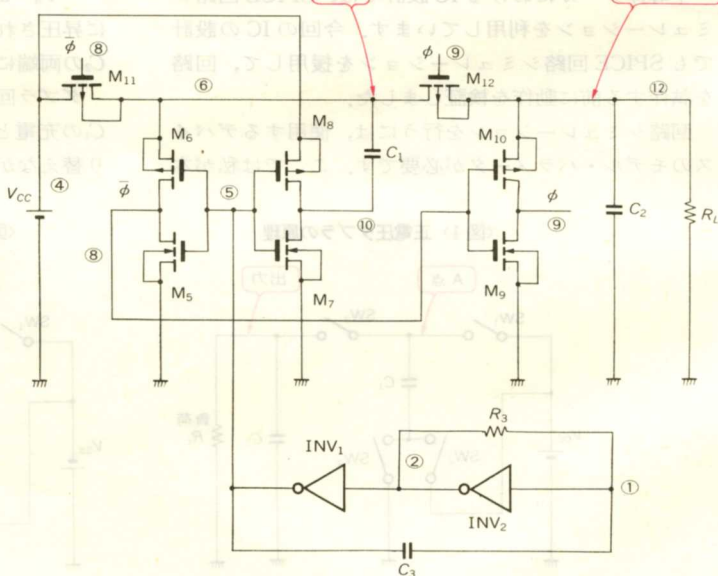
今回設計した正電圧ダブラ回路と負電圧ダブラ回路を図4、図5にそれぞれ示します。

図からわかるようにインバータ5個、トランスミッション・ゲート2個、抵抗1本、コンデンサ3個とい

〈図3〉 ダブラ回路の出力電圧変動



〈図4〉▶
正電圧ダブラ回路
(丸付き数字は
ノード番号)



う構成で実現することができました。

回路は発振回路とチャージ・ポンプによる昇圧回路から成り立っており、図1、図2に対応しています。

発振回路はインバータ INV_1 , INV_2 , C_3 , R_3 から構成されており、 C_3 と R_3 の値によって発振周波数を設定することができます。発振回路の電源は、図4、図5では示していませんが、昇圧回路部の電源電圧と同じ V_{CC} または V_{SS} で動作します。

ここでは正電圧ダブラ回路について、実際の回路の動作を説明します。

● 正電圧ダブラ回路の動作

まず図1の原理図に示した各スイッチ(SW)と、図4の正電圧ダブラ回路のMOSトランジスタとの対応を示します。

SW₁: M₁₁(PMOS)

SW₂: M₈(PMOS)

SW₃: M₁₂(PMOS)

SW₄: M₇(NMOS)

動作を説明します。まず発振回路の INV_1 の出力が H レベル (V_{CC} レベル) になると、M₅ と M₇ の NMOS トランジスタが ON します。M₈ が ON することによってクロック信号 ϕ は L レベル (GND レベル) となり、M₁₁ を ON、M₁₂ を OFF させます。

M₇ が ON すると、コンデンサ C_1 の一方の端子が GND レベルになり、また M₁₁ が ON になることによってコンデンサ C_1 の A 点は、 V_{CC} レベルまで充電されます(図6)。

次に発振回路のインバータ INV_1 が L レベルになると、M₆ と M₈ の PMOS が ON します。

M₆ が ON になることによって、 ϕ は H レベルとな

り、 M_{11} をOFF、 M_{12} をONさせます。

また M_8 がONすることにより、コンデンサ C_1 の端子が $GND \rightarrow V_{cc}$ に変化し、A点の電位は $V_{cc} \rightarrow 2V_{cc}$ に昇圧され、出力コンデンサ C_2 に電荷が供給され、出力電圧として $2V_{cc}$ が得られます(図7)。

M_7 、 M_8 はコンデンサ C_1 、 C_2 の充電用であり、十分な駆動能力が必要です。この駆動能力の設計はダブラ回路の動作周波数と密接な関係があり、設計のポイント⑤(p.284)で説明します。

IC 設計のポイント

● CMOS IC の構造

まず、製作に使用したCMOS ICの断面構造を説明しておきます。これから説明する設計のポイントを理解する上で、欠かせない知識だからです。

図8にCMOSトランジスタの断面構造とシンボルを示します。図からわかるようにPMOSはN基板の中に、NMOSはPウェルの中に配置されています。

CMOSを使う場合、これらのMOSのソース、ドレインとN基板、Pウェルとのバイアス関係に注意を要します。

図で縦方向に注目すると、ソース、ドレインはそれぞれPNダイオード(寄生ダイオード)を形成しています。**CMOSでは、これらのダイオードが全て逆バイアスになるようにして動作させます。**例えば、

▶ PMOSの場合、

N基板： $+5V$ ，ソースとドレイン： $0 \sim +5V$

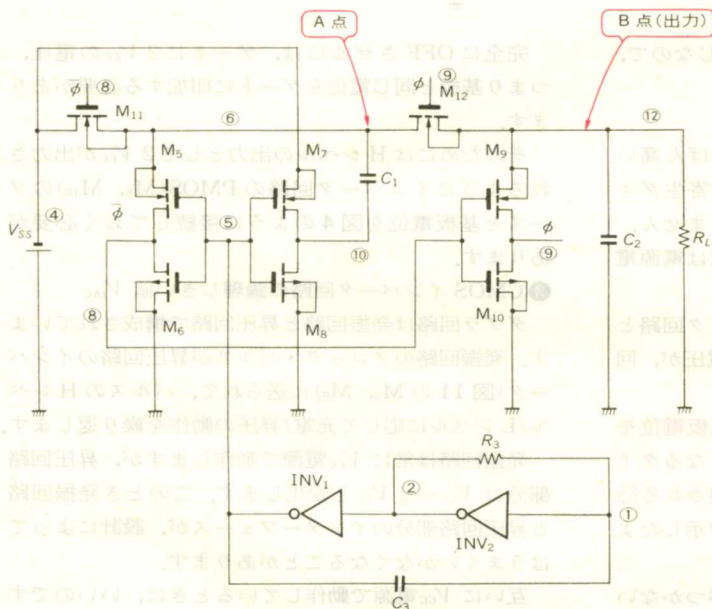
▶ NMOSの場合、

Pウェル： $0V$ ，ソースとドレイン： $0 \sim +5V$

このような電圧でトランジスタを動作させれば、常に逆バイアスの状態を保つことができます。**もし、何らかの原因で順方向バイアスになると、大電流が流れ、素子が破壊されてしまいます。**

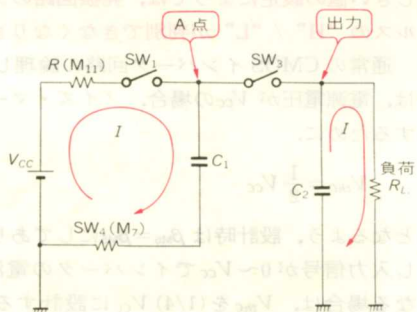
ダブラ回路の場合は、回路の中の一部が昇圧されるので、そのとき順方向バイアスになったり、動作不良が起こらないように設計する必要があります。

設計検討を行う上で、SPICEによる回路シミュレ

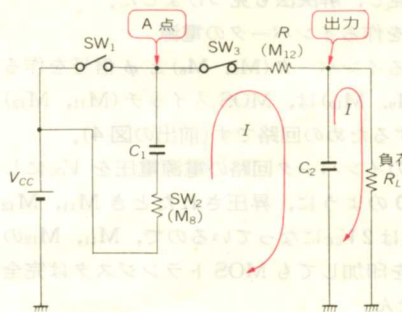


〈図5〉
負電圧ダブラ回路
(丸付き数字は
ノード番号)

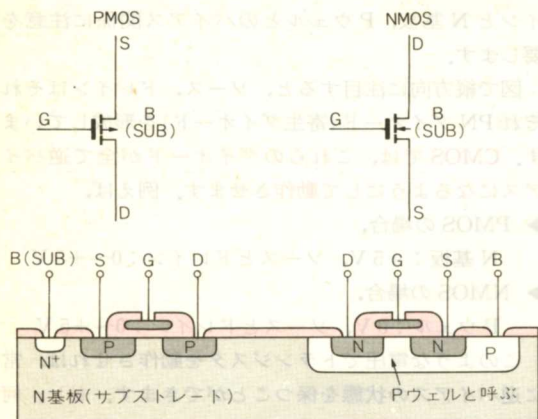
〈図6〉充電動作



〈図7〉昇圧動作



〈図8〉 CMOS IC の断面構造



ーションが大いに役に立ちました。パソコン上のシミュレーションなら、どんな非常識な設計をしても素子が破壊されるようなことはありません。

● 正電圧ダブル IC 設計の五つのポイント

設計する上で重要なポイントを5点あげて説明します。これらはすべて回路シミュレーションによって得られた知識です。

基本的な考え方は正/負ダブル回路とも同じなので、正電圧ダブル回路について説明します。

① MOS スイッチ M_{11} , M_{12} の基板電位

通常、N 基板の電位は、回路の中でいちばん高い電圧になるよう設定しておけば、PMOS の寄生ダイオードが順方向バイアスされることはありません。CMOS ロジック回路の場合、N 基板の電位は電源電圧 V_{CC} に接続されています。

しかし、ダブル回路の場合、普通のロジック回路とは違い、供給されている電源電圧より高い電圧が、回路の中で発生します。

図9の M_{11} , M_{12} の場合、点線のように基板電位を取ると、寄生ダイオードが順方向バイアスになるタイミングがあり、大電流が流れて、素子が破壊される恐れがあります。これを防ぐためには、実線で示したように接続する必要があります。

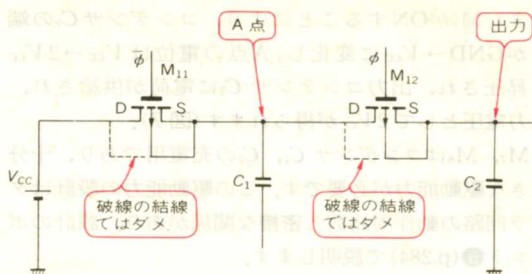
頭の中だけの設計検討では、なかなか気がつかない部分ですが、回路シミュレーションによる解析で、この問題点を発見し、解決法も見つけました。

② ϕ , $\bar{\phi}$ 信号を作るインバータの電源

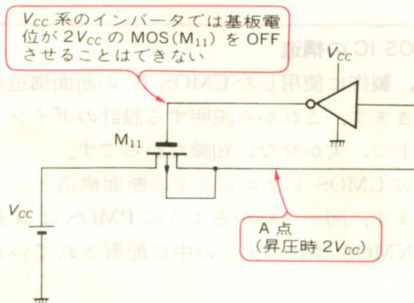
$\bar{\phi}$ 信号を作るインバータ (M_5 , M_6) と ϕ 信号を作るインバータ (M_9 , M_{10}) は、MOS スイッチ (M_{11} , M_{12}) を ON/OFF するための回路です(前出の図4)。

もしこれらのインバータ回路の電源電圧を V_{CC} にしておくと図10のように、昇圧されたとき M_{11} , M_{12} の N 基板電位は $2V_{CC}$ になっているので、 M_{11} , M_{12} のゲートに V_{CC} を印加しても MOS トランジスタは完全に OFF しません。

〈図9〉 MOS トランジスタ M_{11} , M_{12} の基板電位 (図4の一部)



〈図10〉 PMOS の OFF 電位



完全に OFF させるには、ゲートに $2V_{CC}$ の電圧、つまり基板と同じ電位をゲートに印加する必要があります。

そのためには H レベルの出力として $2V_{CC}$ が出力されるようにインバータ回路の PMOS (M_6 , M_{10}) のソースと基板電位を図4のように接続しておく必要があります。

③ CMOS インバータ回路の論理しきい値 V_{thc}

ダブル回路は発振回路と昇圧回路で構成されています。発振回路のクロック・パルスが昇圧回路のインバータ (図11の M_5 , M_6) に送られて、パルスの H レベル/L レベルに応じて充電/昇圧の動作を繰り返します。

発振回路は常に V_{CC} 電源で動作しますが、昇圧回路部分は $V_{CC} \leftrightarrow 2V_{CC}$ と変化します。このとき発振回路と昇圧回路部分のインターフェースが、設計によってはうまくいかなることがあります。

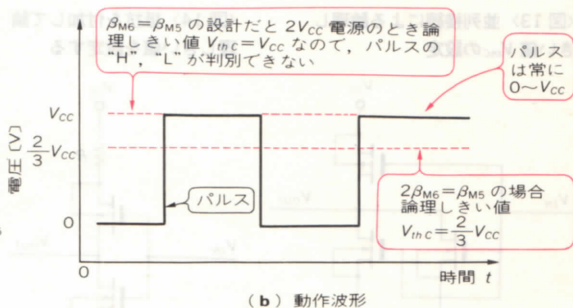
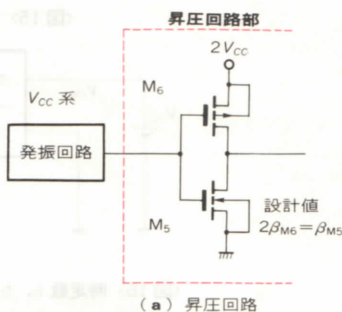
互いに V_{CC} 電源で動作しているときは、いいのですが昇圧回路部分が $2V_{CC}$ になると、インバータの論理しきい値の設定によっては、発振回路のクロック・パルスの “H” / “L” が判別できなくなります。

通常の CMOS インバータ回路の論理しきい値 V_{thc} は、電源電圧が V_{CC} の場合、ノイズ・マージンを確保するために、

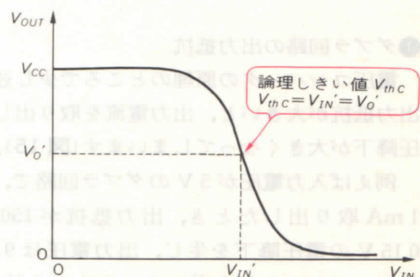
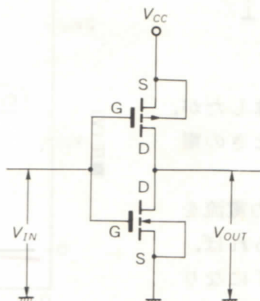
$$V_{thc} = \frac{1}{2} V_{CC}$$

となるよう、設計時は $\beta_{M6} = \beta_{M5}$ にしてあります。しかし入力信号が $0 \sim V_{CC}$ でインバータの電源が $2V_{CC}$ になる場合は、 V_{thc} を $(1/4)V_{CC}$ に設計するのが理想的

〈図 11〉
 $V_{CC} \rightarrow 2V_{CC}$ 系のイン
 パータの論理しきい
 値 V_{thC}



〈図 12〉
 CMOS インバータの論理しきい値 V_{thC}



です。つまり $V_{thC} = (1/2) V_{CC}$ (入力信号電圧の 1/2) となるよう、 $3\beta_{M6} = \beta_{M5}$ に設計します。

ここで CMOS インバータの論理しきい値 V_{thC} について、もう少し詳しく説明しておきます。

CMOS インバータの論理しきい値 V_{thC} は、入力電圧 V_{IN} と出力電圧 V_{OUT} が等しい入力電圧として計算できます。

$$V_{IN} = V_{OUT} = V_{thC} \dots\dots\dots(2)$$

したがって $V_{GS} - V_{th} < V_{DS}$ が成り立つので、PMOS、NMOS とともに飽和領域で動作します(図 12)。

NMOS のドレイン電流 I_{DSN} は、次式で表されます。

$$\begin{aligned} I_{DSN} &= \frac{1}{2} \beta_N (V_{GS} - V_{thN})^2 \\ &= \frac{1}{2} \beta_N (V_{IN} - V_{thN})^2 \\ &= \frac{1}{2} \beta_N (V_{thC} - V_{thN})^2 \dots\dots\dots(3) \end{aligned}$$

同様に PMOS のドレイン電流 I_{DSP} は、次式で表されます。

$$\begin{aligned} I_{DSP} &= \frac{1}{2} \beta_P (V_{GS} - V_{thP})^2 \\ &= \frac{1}{2} \beta_P (V_{IN} - V_{CC} - V_{thP})^2 \\ &= \frac{1}{2} \beta_P (V_{thC} - V_{CC} - V_{thP})^2 \dots\dots\dots(4) \end{aligned}$$

(3)式=(4)式から CMOS インバータの論理しきい値 V_{thC} は、

$$V_{thC} = \frac{\sqrt{\beta_N} \cdot V_{thN} + \sqrt{\beta_P} (V_{CC} + V_{thP})}{\sqrt{\beta_P} + \sqrt{\beta_N}} \dots\dots\dots(5)$$

ただし、 $\beta_N = (W/L)_N \cdot C_{ox} \cdot \mu_N$ [S/V]

$\beta_P = (W/L)_P \cdot C_{ox} \cdot \mu_P$ [S/V]

V_{thN} : NMOS のしきい値電圧 [V]

V_{thP} : PMOS のしきい値電圧 [V]

C_{ox} : ゲート酸化膜容量 [F]

μ_N : 電子の移動度 [$m^2/V \cdot sec$]

μ_P : 正孔の移動度 [$m^2/V \cdot sec$]

L : チャネル長 [μm]

W : チャネル幅 [μm]

(5)式において $\beta_N = \beta_P$, $V_{thN} = |V_{thP}|$ とすると、(5)式は $V_{thC} = (1/2) V_{CC}$ になります。実際のインバータ回路もノイズ・マージンを確保するため、論理しきい値を $(1/2) V_{CC}$ にしています。

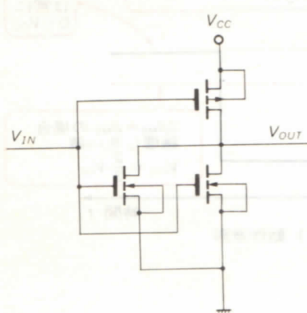
ダブラ回路の場合は、論理しきい値を Low 電源 (GND) 側に下げる必要がありますが、(5)式を見てわかるとおり、**私たちユーザは、式のパラメータを変更することはできません**。IC の設計、製造段階などで決まっています。

私たちが市販の IC のインバータ回路の論理しきい値を設計変更する方法としては、図 13、図 14 に示したような方法があります。図 13 の方法は、同じ NMOS を二つ並列接続することによって約 $(1/3) V_{CC}$ の論理しきい値を得ています。

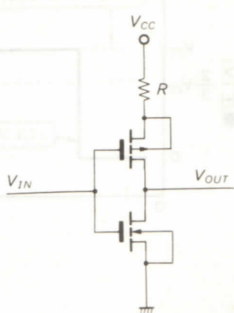
また、図 14 のように PMOS 側に抵抗 R を付加して論理しきい値を自由に設定する方法もあります。抵抗 R の値の算出は、複雑な計算になりますので、回路シミュレーションを使ったほうが便利でしょう。

今回試作した DC-DC コンバータ回路(正電圧ダブラ)では図 13 の方法を採用しています。

〈図 13〉 並列接続による論理しきい値 V_{thc} の設定



〈図 14〉 抵抗を付加して論理しきい値を設定する



④ ダブラ回路の出力抵抗

電圧コンパータの原理のところでも少し述べましたが、出力抵抗が大きいと、出力電流を取り出したときの電圧降下が大きくなってしまいます(図 15)。

例えば入力電圧が 5 V のダブラ回路で、出力電流を 1 mA 取り出したとき、出力抵抗が 150 Ω あれば、0.15 V の電圧降下を生じ、出力電圧は 9.85 V になります。もちろん無負荷なら、入力 の 2 倍の 10 V が得られます。

ダブラ回路の出力抵抗に影響するのは、MOS スイッチの ON 抵抗(M_{n1} , M_{n2})やコンデンサ C_1 , C_2 の容量と直列抵抗などです。また動作周波数も影響します。

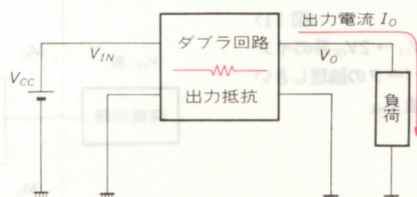
一般的に出力抵抗を下げるには、動作周波数を高くし、コンデンサの容量を大きくします。もちろん MOS トランジスタの ON 抵抗を低く設計することも必要です。

ダブラ回路の出力抵抗の計算方法を次に示します。いま入力電源電圧 $V_{cc}=5$ V のとき、無負荷時の出力 $V_{outL}=9.9$ V, $R_L=10$ k Ω 負荷時の出力電圧 $V_{ol}=9.0$ V になったとします。出力電流 I_o は、

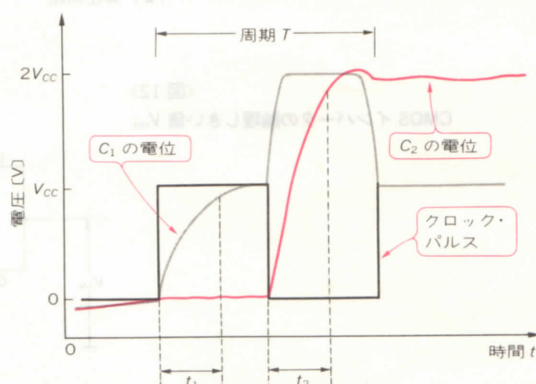
$$I_o = \frac{V_{ol}}{R_L} = \frac{9.0}{10 \times 10^3} = 0.9 \times 10^{-3}$$

(1)式から出力抵抗 R_o は、

〈図 15〉 出力の電圧降下



〈図 16〉 時定数 t_1 , t_2 とパルス周期



$$R_o = \frac{V_{outL} - V_{ol}}{I_o} = \frac{9.9 - 9.0}{0.9 \times 10^{-3}} = 1000 \Omega$$

と求められます。

⑤ 周波数、コンデンサ容量の決定

ダブラ回路を設計する場合、

- ・ 動作周波数 f をいくらにするのか？
- ・ コンデンサ C_1 , C_2 の容量をいくらにするのか？
- ・ 回路を構成している MOS トランジスタのコンダクタンスをいくらにするのか？

といったことを計算しなければなりません。

これらの値を決めるには、ダブラ回路の各動作(充電と昇圧)における閉回路(図 6, 図 7)の時定数を計算し、数パルスで C_1 の充電、または昇圧時の C_2 への

コラム

■ MOS トランジスタの β

β は日本語では、トランジスタの利得係数と呼ばれています。 β_{M6} は MOS トランジスタ M_6 の β という意味で、

$$\beta_{M6} = (W/L)_{M6} \cdot C_{ox} \cdot \mu$$

を表します。

また、 β をコンダクタンスのイメージでとらえても良いと思います。 $\beta_{M5} = \beta_{M6}$ というのは、 M_5 と M_6 のコンダクタンスを同じにする——つまり ON 抵抗を同じにするということです。

■ 出力抵抗と動作周波数が関係する理由

出力抵抗の値は MOS スイッチ、コンデンサ C_1 , C_2 の容量のほかに、動作周波数が関係しています。

コンデンサ部分の抵抗(正確にはインピーダンス) Z は、 $Z = 1/2\pi fC$ であらわされ、したがって動作周波数が関係します。

出力抵抗を減らすのが目的なら、周波数も容量も大きくすればよいように思えますが、そうするとチャージ・ポンプ(電荷の汲み上げ作業)が追いつかなくなり、十分に昇圧されなくなってしまいます。

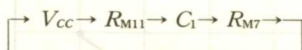
〈図17〉
TC4007UBPの
モデル・パラメータ

```
.model TC407N NMOS(LEVEL=3 LD=1.2V VTO=0.7 KP=1.73E-5 GAMMA=1.0
+
+ TOX=1.0E-7 TPG=0 NSUB=5E15 L=8U
+
+ W=290U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+
+ CGSO=4.14E-10 CGDO=4.14E-10 CGB0=1.61E-10 TT=100n)
*
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCOS 8U PROCESS
*
* 93-02-15 bam by SUMIAKI TAKEI

.model TC407P PMOS(LEVEL=3 LD=1.2V VTO=-0.6 KP=0.69E-5 GAMMA=0.9
+
+ TOX=1.0E-7 TPG=0 NSUB=2E15 L=8U
+
+ W=480U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+
+ CGSO=4.14E-10 CGDO=4.14E-10 CGB0=1.61E-10 TT=80n)
*
* TOSHIBA CMOS IC (TC4007UBP) CMOS LOCOS 8U PROCESS
*
* 93-02-15 bam by SUMIAKI TAKEI
```

電荷移動が可能のように設計します。

図4の正電圧ダブラ回路で発振回路の出力がHレベルの場合、図6に示したようにC₁を充電する閉回路ができます。この充電動作は1〜数パルスで行う必要があります。図6の閉回路で時定数t₁を計算します。経路は、



ですから、

$$t_1 = C_1(R_{M11} + R_{M7}) \dots (6)$$

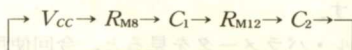
になります。

図16のように1パルスで充電すると考えると、時定数t₁は次の式を満足する必要があります。

$$t_1 \ll T/2 \dots (7)$$

ただし、Tはクロック・パルスの周期

次に発振回路の出力がLレベルの場合、チャージ・ポンプ・コンデンサC₁の電位は2V_{cc}に昇圧され、出力コンデンサC₂に電荷が供給されます。その場合の閉回路は図7のようになります。図7の閉回路で時定数t₂を計算すると、



のような経路ですから、時定数t₂は、

$$t_2 = \frac{C_1 \cdot C_2}{C_1 + C_2} (R_{M8} + R_{M12}) \dots (8)$$

になります。

1パルスでC₂が充電されると考えると、時定数t₂は、次の式を満足する必要があります。

$$t_2 \ll T/2 \dots (9)$$

したがってダブラ回路の設計では、充電時の(7)式と昇圧時の(9)式の両方を満足するような設計が必要

です。図16はC₁、C₂の電荷が最初ゼロとして、各電位の変化を示しています。

なお、図4、図5で示した発振回路の周期Tは、次の式で計算できます。

$$T = -C_3 \cdot R_3 \left\{ \ln \frac{V_{thc}}{V_{cc} + V_{thc}} + \ln \frac{V_{cc} - V_{thc}}{2(V_{cc} - V_{thc})} \right\} \dots (10)$$

発振回路を構成しているインバータ(INV₁、INV₂)の論理しきい値V_{thc}は(1/2)V_{cc}なので(10)式は、次のように簡単になります。

$$T \approx 2.2 C_3 \cdot R_3 \dots (11)$$

SPICEによる回路シミュレーション

● デバイス・モデル

正電圧ダブラ、負電圧ダブラ回路の各素子の最適値の設定および各特性の解析を、SPICE回路シミュレーションで行いました。

SPICEで回路をシミュレーションする場合、使用デバイスのデバイス・モデルが必要です。今回製作に使用したCMOS-ICは、TC4007UBP(東芝)ですが、この中に含まれているMOSトランジスタのモデルがPSpice(CQ版、Ver.4)のライブラリに準備されていないので、モデルを作る必要があります。

図17に作成したモデルのパラメータを示します。実は、このデバイス・モデルは、本誌1993年7月号(pp.317~330)に、私が紹介したモデルをそのまま使用しています。このモデルは実測結果とよく一致するので、CMOS4000シリーズのベース・モデルとして使うことができます。

ほかの4000シリーズをモデリングする場合は、W/L(チャネル幅W、チャネル長L)で直流電流を

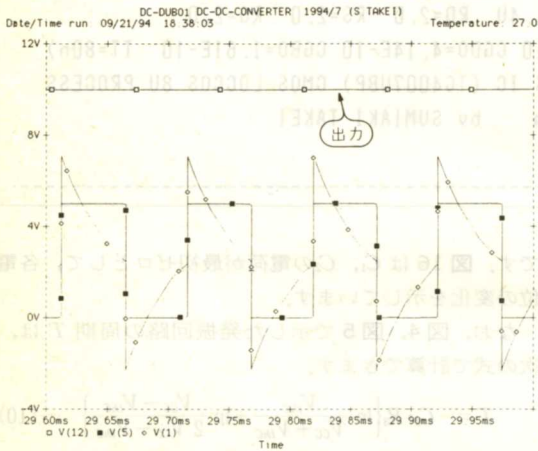
〈表 1〉 正電圧ダブラ回路の設計値

PMOS	設計値 (W/L)	NMOS	設計値 (W/L)	R, C	設計値
M ₆	480/8	M ₅	580/8	C ₁	2μF
M ₈	1440/8	M ₇	870/8	C ₂	2μF
M ₁₀	480/8	M ₉	290/8	C ₃	45pF
M ₁₁	960/8			R ₃	1MΩ
M ₁₂	960/8			R _L	負荷
INV ₁	480/8	INV ₁	290/8		
INV ₂	480/8	INV ₂	290/8		

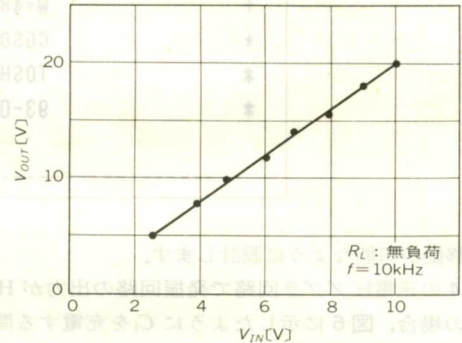
〈表 2〉 負電圧ダブラ回路の設計値

PMOS	設計値 (W/L)	NMOS	設計値 (W/L)	R, C	設計値
M ₆	960/8	M ₅	290/8	C ₁	2μF
M ₈	1440/8	M ₇	870/8	C ₂	2μF
M ₁₀	480/8	M ₉	290/8	C ₃	45pF
		M ₁₁	580/8	R ₃	1MΩ
		M ₁₂	580/8	R _L	負荷
INV ₁	480/8	INV ₁	290/8		
INV ₂	480/8	INV ₂	290/8		

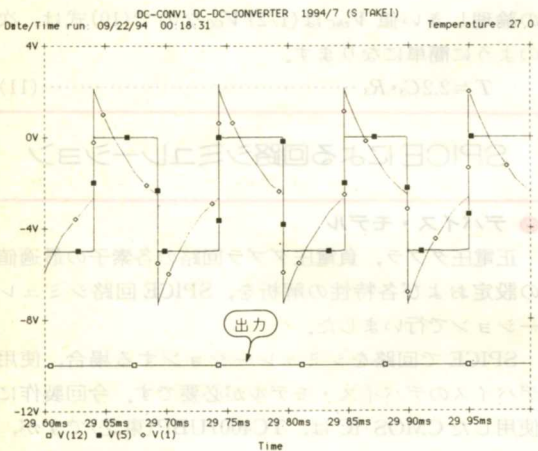
〈図 20〉 正電圧ダブラ回路の出力波形 ($V_{CC}=5V$, 無負荷)



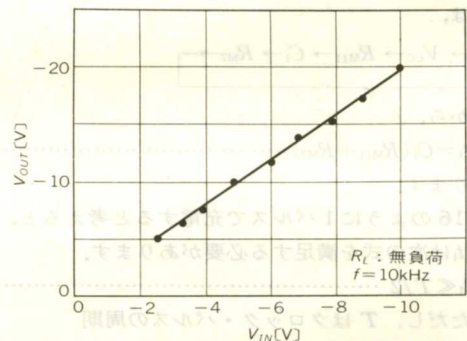
〈図 21〉 正電圧ダブラ回路の入出力特性のシミュレーション結果



〈図 22〉 負電圧ダブラ回路の出力波形 ($V_{SS}=-5V$, 無負荷)



〈図 23〉 負電圧ダブラ回路の入出力特性のシミュレーション結果



合わせ込むだけで、ほかのパラメータを変更する必要はありません。

● ダブラ回路の設計値

表 1、表 2 に SPICE による回路シミュレーションで得られた正/負ダブラ回路の設計値を示しました。MOS トランジスタの W/L は、チャネル幅 W とチャネル長 L の比ですが、これは、われわれユーザには設計変更できないパラメータです。

そこで、実際に製作するときは、MOS トランジスタの直列接続、並列接続で見かけの W/L を変えて設

計値に合わせます。たとえば PMOS 1 個の W/L が 100/8 であれば、並列接続によって 200/8、直列接続すれば 50/8 というように、見かけの W/L を変更することができます。

図 17 のモデル・パラメータを見ると、今回使用した IC の PMOS、NMOS の 1 個あたりの W/L がわかります。

PMOS の $W/L=480/8$

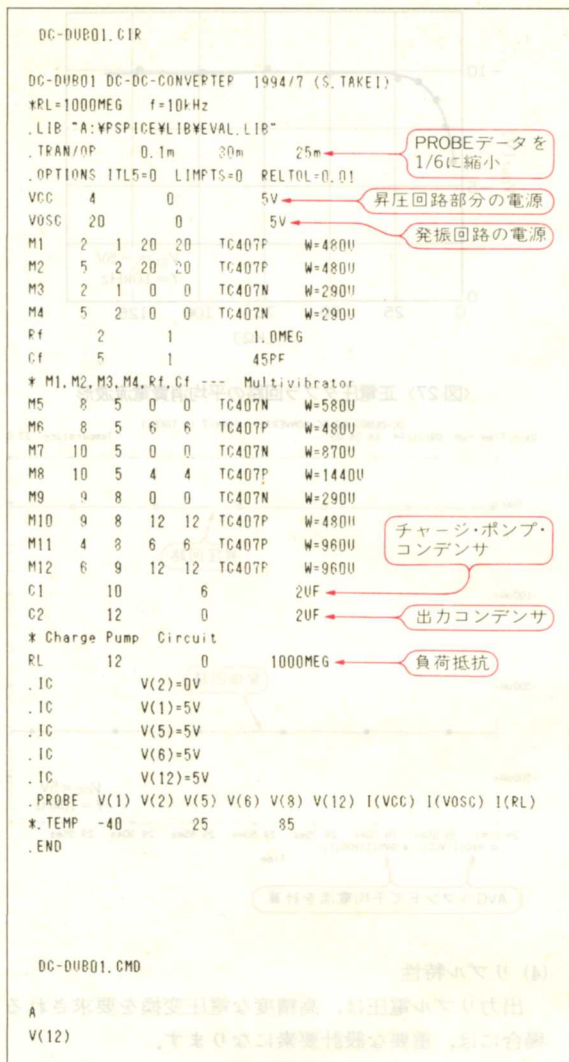
NMOS の $W/L=290/8$

したがって表 1、表 2 に示した MOS の設計値は実際の製作のことを考慮して、それぞれの倍数で設計されています。

● シミュレーション・プログラム

図 18、図 19 に正電圧ダブラ回路と負電圧ダブラ

図18 正電圧ダブラ回路のプログラム

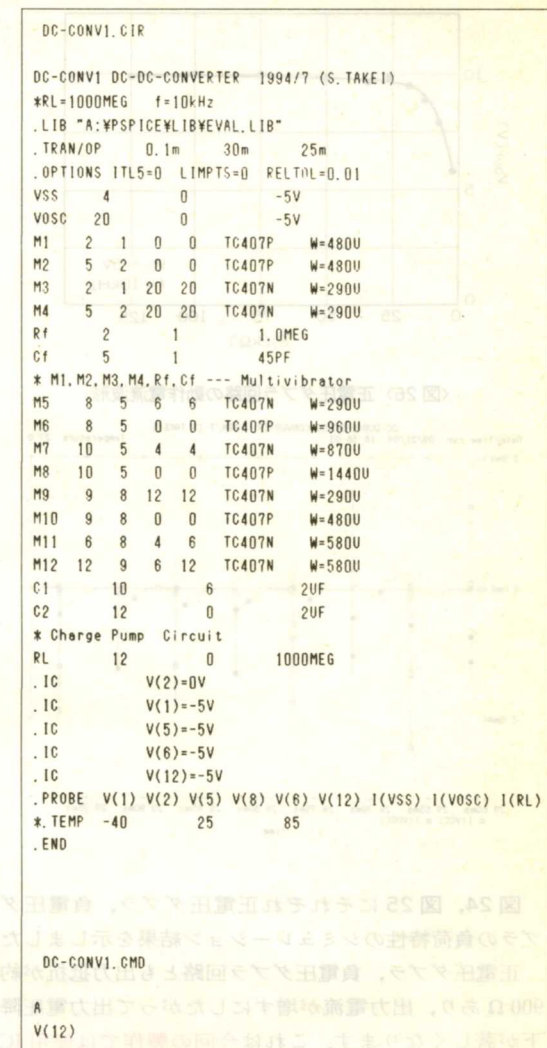


回路のシミュレーション・プログラムを示します。ノード番号は図4、図5に丸付き数字で示してあります。使用トランジスタの数がPSpice(CQ版)の限界に近く、計算ポイントが多いため解析にかなり長い時間がかかります。また、解析結果のデータ量(PROBEデータ量)が多いため、実際に画面出力用として残しているデータは、全解析データの1/6にプログラムで縮小していますが、それでも150Kバイト近くあります。

プログラムでは、昇圧回路部分の電源(V_{CC} 、 V_{SS})と発振回路の電源(V_{osc})の二つがプログラムされていますが、これはそれぞれの消費電流を解析するために分けたもので、実際には共通にして1電源で製作しました。

● シミュレーション結果

図19 負電圧ダブラ回路のプログラム



(1) 入出力特性

入出力特性は、入力側の電源電圧を変えたときの出力電圧特性を測定したものです。

図20は正電圧ダブラの $V_{CC}=5V$ で無負荷時の出力波形、図21は入出力特性です。また図22は負電圧ダブラの $V_{SS}=-5V$ で無負荷時の出力波形、図23は入出力特性です。

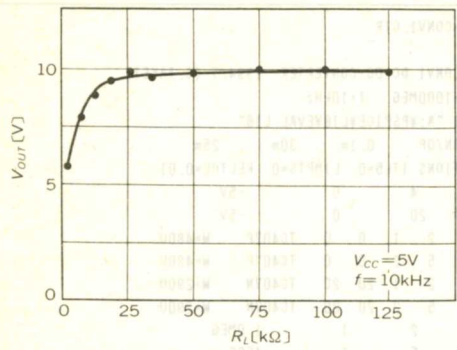
正電圧ダブラ、負電圧ダブラとも全動作領域で電圧変換効率率は、ほぼ100%であり、良好な結果が得られています。

また、電力変換効率に関しても出力電流が1mA程度であれば約90%が得られています。

(2) 負荷特性

負荷特性は、出力の負荷抵抗を変えたときの出力電圧特性を調べたものです。

〈図 24〉 正電圧ダブラ回路の負荷特性のシミュレーション結果



〈図 26〉 正電圧ダブラ回路の動作電流波形

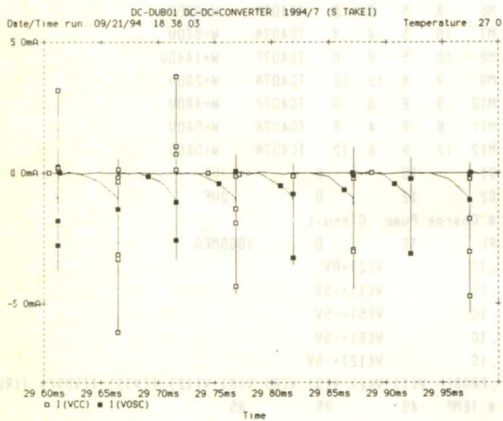


図 24、図 25 にそれぞれ正電圧ダブラ、負電圧ダブラの負荷特性のシミュレーション結果を示しました。正電圧ダブラ、負電圧ダブラ回路とも出力抵抗が約 900 Ω あり、出力電流が増すにしたがって出力電圧降下が著しくなります。これは**今回の製作では使用 IC の数を 4 個に制限したため**で、この制約がなければ出力抵抗を市販のコンバータ IC 並みに下げることができます。

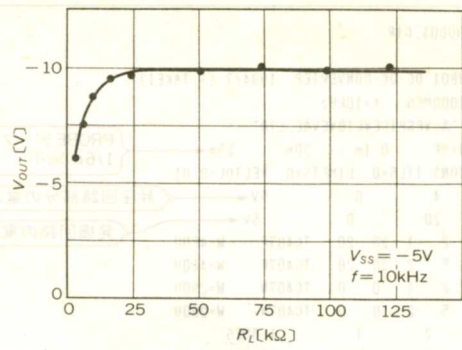
(3) 消費電流

この消費電流は、無負荷時にダブラ回路内で消費する電流です。

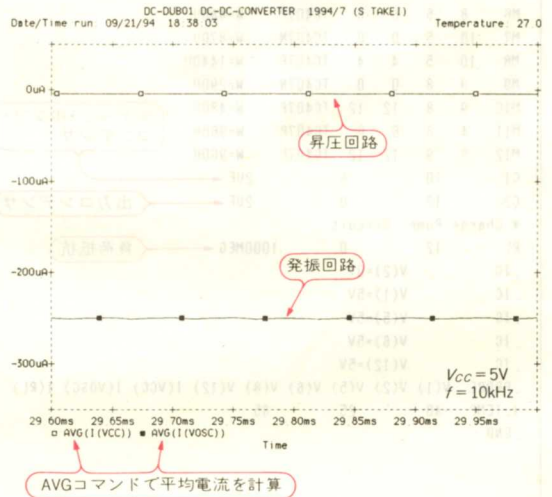
図 26 に正電圧ダブラ回路の動作時の波形を示します。クロック・パルスの切り替え時に貫通電流が流れているのがわかります。消費電流をわかりやすく評価するため、図 27 のように平均電流で表示させてみました。このシミュレーション結果からわかるように、**消費電流の大部分を占めているのは発振回路**です。したがって、ダブラ回路の低消費電力化が必要な場合は、発振回路を対策すればよいことになります。

図 28、図 29 にそれぞれのダブラ回路の動作電圧領域での消費電流を示しました。正電圧ダブラ、負電圧ダブラとも同じような特性を示しています。

〈図 25〉 負電圧ダブラの負荷特性のシミュレーション結果



〈図 27〉 正電圧ダブラ回路の平均消費電流波形



(4) リプル特性

出力リプル電圧は、高精度な電圧変換を要求される場合には、重要な設計要素になります。

出力リプル電圧は、基本的に出力電流が流れることによって生じます。したがって無負荷時の場合は、1 mV 以下と小さい値です。

出力リプル電圧 V_r は、出力電流 I_o 、動作周波数 f 、出力コンデンサ容量 C_2 との間に次のような比例関係があります。

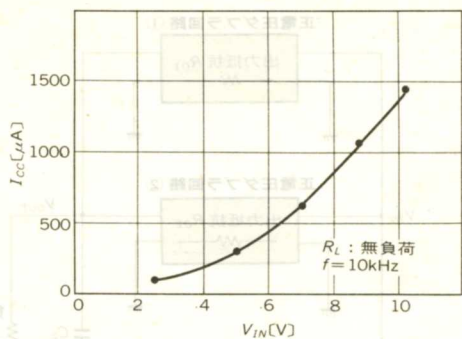
$$V_r \propto \frac{I_o}{f \cdot C_2} \dots\dots\dots (12)$$

したがって V_r を小さくするには、**動作周波数を高く設定するか、コンデンサ容量を大きくする必要があります。**

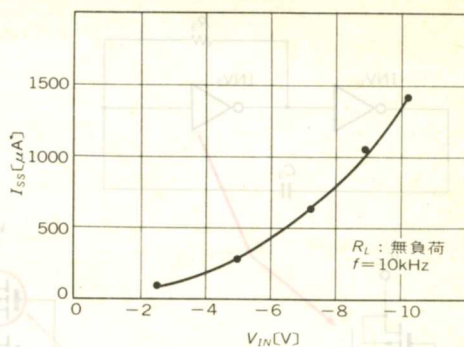
図 30 に無負荷時、図 31 に負荷抵抗 10 kΩ 時のリプル電圧波形のシミュレーション結果を示します。出力電流が流れることによって、リプル電圧が大きくなっているのがわかります。

図 32、図 33 にリプル電圧の出力電流依存性を示しました。正負ダブラ回路とも同じような特性を示し

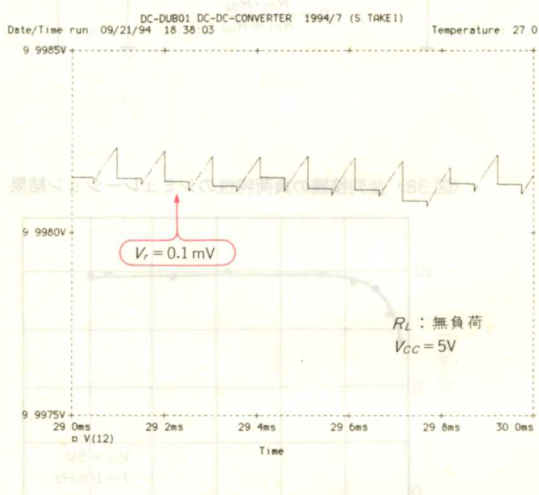
〈図 28〉 正電圧ダブラ回路の消費電流のシミュレーション結果



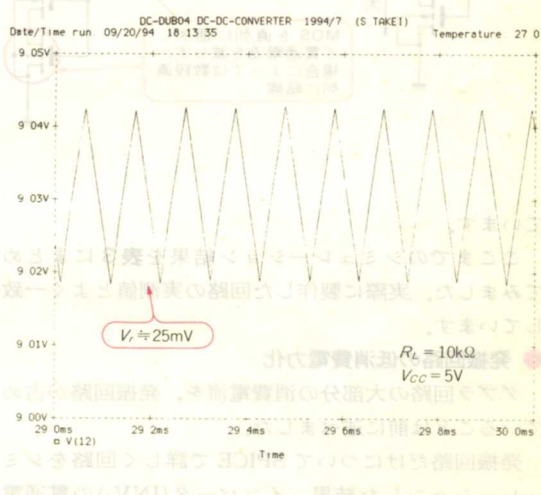
〈図 29〉 負電圧ダブラ回路の消費電流のシミュレーション結果



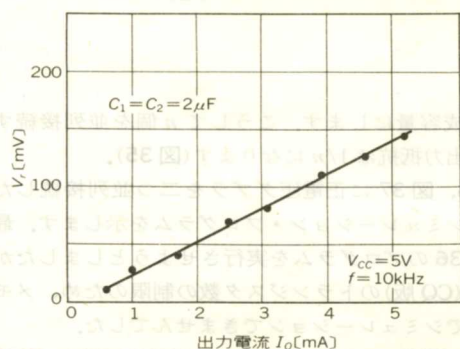
〈図 30〉 正電圧ダブラ回路の無負荷時のリプル波形



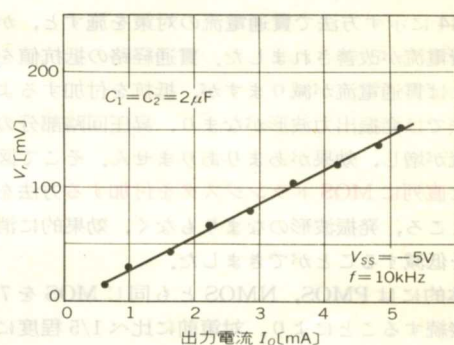
〈図 31〉 正電圧ダブラ回路の負荷抵抗 10 k Ω 時のリプル波形



〈図 32〉 正電圧ダブラ回路のリプル特性



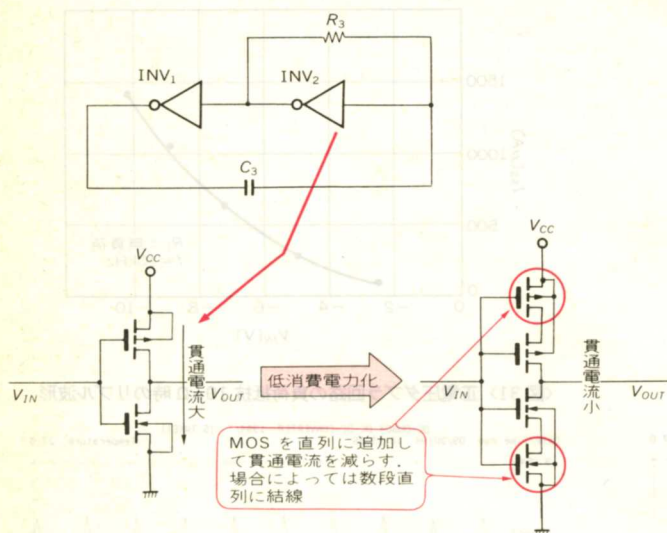
〈図 33〉 負電圧ダブラ回路のリプル特性



〈表 3〉 ダブラ回路の特性一覧

	出力抵抗 [Ω]	動作電圧 [V]	動作周波数 [kHz]	無負荷時の電圧変換効率		出力 1mA 時の 電力変換効率(%)	消費電流 [μ A]	
				3V のとき (%)	5V のとき (%)		3V のとき	5V のとき
製作回路(正電圧ダブラ)	960	2.5~10	10	99	99	90	57	257
製作回路(負電圧ダブラ)	900	-2.5~-10	10	99	99	91	55	247

図 34 発振回路の貫通電流対策



ています。

ここまでのシミュレーション結果を表 3 にまとめました。実際に製作した回路の実測値とよく一致しています。

● 発振回路の低消費電力化

ダブラ回路の大部分の消費電流を、発振回路が占めていることは前に述べました。

発振回路だけについて SPICE で詳しく回路をシミュレーションした結果、インバータ (INV₂) の貫通電流が原因であることがわかりました。

図 34 に示す方法で貫通電流の対策を施すと、かなり消費電流が改善されました。貫通経路の抵抗値を高くすれば貫通電流が減りますが、抵抗を付加するような方法では発振出力波形がなまり、昇圧回路部分の消費電流が増し、効果があまりありません。そこで図のように直列に MOS トランジスタを付加する方法をとったところ、発振波形のなまりもなく、効果的に消費電流を低減することができました。

具体的には PMOS、NMOS と同じ MOS を 7 段直列接続することにより、対策前に比べ 1/5 程度に減らすことができました。

たとえば正電圧ダブラ回路で $V_{CC}=10\text{ V}$ の時の消費電流を比べてみると、 $1.5\text{ mA} \rightarrow 280\text{ }\mu\text{A}$ に低減できました。市販 DC-DC コンバータ IC のなかで、かなり消費電流の少ない LTC1044 なみの値です。

● ダブラ回路の並列接続

ダブラ回路の出力抵抗を下げ、出力電流を増加させる方法として、ダブラ回路を並列接続する方法があります。この場合、お互いの入力と出力を共通にしています。出力コンデンサ C_2 は、それぞれのダブラ回

図 35 ダブラ回路の並列接続

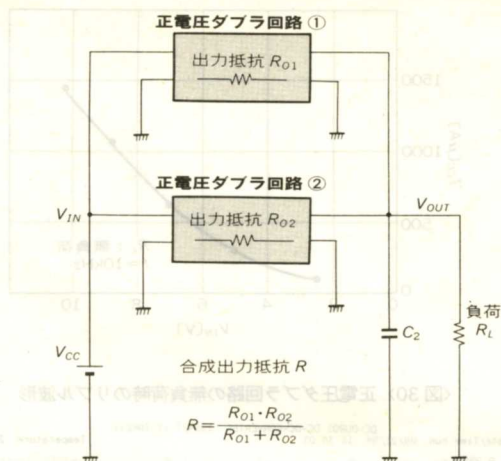
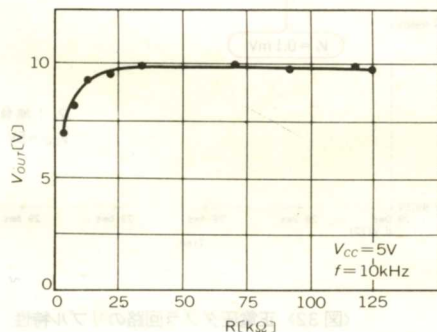


図 38 並列接続の負荷特性のシミュレーション結果



路の合成容量にします。こうして n 個を並列接続すれば、出力抵抗は $1/n$ になります (図 35)。

図 36、図 37 に正電圧ダブラを二つ並列接続したときのシミュレーション・プログラムを示します。最初、図 36 のプログラムを実行させようとしたのですが、PSpice (CQ 版) のトランジスタ数の制限のため、メモリ不足でシミュレーションできませんでした。

そこで図 37 のように、単独のダブラ回路の W/L と容量をすべて 2 倍にするという方法で、疑似的にシミュレーションしました。

図 38 に正電圧ダブラ回路を並列接続したときの負荷特性のシミュレーション結果を示します。単独回路に比べ特性が改善されています。原理的には多数を並列接続すれば、それだけ出力抵抗が下がり、出力電流をより多く取り出せますが、消費電流は増加します。しかし、発振回路を共通化すれば、昇圧回路部だけの増加ぶんですみます。

〈図 36〉 並列接続のプログラム(1)

```

DC-PARA1.CIR

DC-PARA1 2Parallel-CONVERTER 1994/7 (S.TAKEI)
*RL=10K f=10kHz
.LIB "A:\PSPICE\LIB\EVAL.LIB"
.TRAN/OP 0.1m 30m 25m
.OPTIONS ITL5=0 LIMPTS=0 RELTOL=0.01
VCC 4 0 5V
VOSC 20 0 5V
M1 2 1 20 20 TC407P W=480U
M2 5 2 20 20 TC407P W=480U
M3 2 1 0 0 TC407N W=290U
M4 5 2 0 0 TC407N W=290U
Rf 2 1 1.0MEG
Cf 5 1 45PF
* M1,M2,M3,M4,Rf,Cf --- Multivibrator
.SUBCKT Paraconv Vcc Vp Vo
M5 8 Vp 0 0 TC407N W=580U
M6 8 Vp 6 6 TC407P W=480U
M7 10 Vp 0 0 TC407N W=870U
M8 10 Vp Vcc Vcc TC407P W=1440U
M9 9 8 0 0 TC407N W=290U
M10 9 8 Vo Vo TC407P W=480U
M11 Vcc 8 6 6 TC407P W=960U
M12 6 9 Vo Vo TC407P W=960U
C1 10 6 2UF IC=5
* Charge Pump Circuit
.ENDS
.IC V(2)=0V
.IC V(1)=5V
.IC V(12)=5V
.IC V(5)=5V
C2 12 0 4UF
RL 12 0 10K
X1 4 5 12 Paraconv
X2 4 5 12 Paraconv
.PROBE V(1) V(2) V(5) V(12) I(VCC) I(VOSC) I(RL)
*.TEMP -40 25 85
.END

DC-PARA1.CMD
A
V(12)

```

CMOS DC-DC コンバータ回路の製作

● TC4007UBP について

図 39 に TC4007UBP の内部等価回路とピン配置を示します。この IC は PMOS、NMOS とともにソース、ドレインが分離されて配置されているので、**単独の MOS トランジスタとして扱える**ため、今回のような製作に適しています。今回の製作では、この IC を 4 個使って正負ダブル回路を作りました。後で述べるロー・パワー・コンバータでは合計 6 個を使います。

● 製作上の留意点

図 4、図 5 の回路図を見ながら読んでください。

〈図 37〉 並列接続のプログラム(2)

```

DC-PARA2.CIR

DC-PARA2 2Parallel-CONVERTER 1994/7 (S.TAKEI)
*RL=10K f=10kHz
.LIB "A:\PSPICE\LIB\EVAL.LIB"
.TRAN/OP 0.1m 30m 25m
.OPTIONS ITL5=0 LIMPTS=0 RELTOL=0.01
VCC 4 0 5V
VOSC 20 0 5V
M1 2 1 20 20 TC407P W=480U
M2 5 2 20 20 TC407P W=480U
M3 2 1 0 0 TC407N W=290U
M4 5 2 0 0 TC407N W=290U
Rf 2 1 1.0MEG
Cf 5 1 45PF
* M1,M2,M3,M4,Rf,Cf --- Multivibrator
M5 8 5 0 0 TC407N W=1160U
M6 8 5 6 6 TC407P W=960U
M7 10 5 0 0 TC407N W=1740U
M8 10 5 4 4 TC407P W=2880U
M9 9 8 0 0 TC407N W=580U
M10 9 8 12 12 TC407P W=960U
M11 4 8 6 6 TC407P W=1920U
M12 6 9 12 12 TC407P W=1920U
C1 10 6 4UF
C2 12 0 4UF
* Charge Pump Circuit
RL 12 0 10K
.IC V(2)=0V
.IC V(1)=5V
.IC V(5)=5V
.IC V(6)=5V
.IC V(12)=5V
.PROBE V(1) V(2) V(5) V(6) V(8) V(12) I(VCC) I(VOSC) I(RL)
*.TEMP -40 25 85
.END

DC-PARA2.CMD
A
V(12)

```

(1) M₅, M₆, M₁₁ は同じ IC で組む

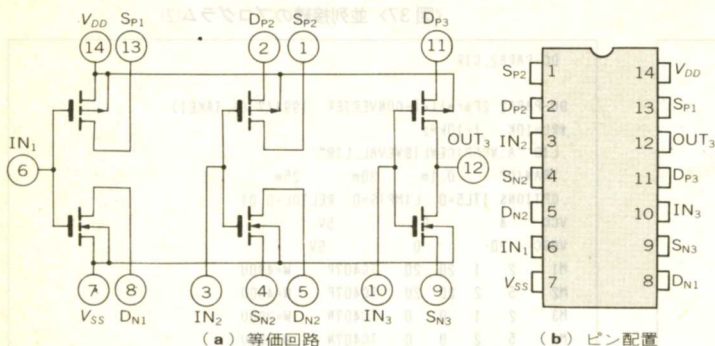
昇圧されたとき、正電圧ダブル回路なら M₆ と M₁₁ の基板電位、負電圧ダブル回路なら M₅ と M₁₁ のウェル電位が入力側の電源電圧より高くなるため、ほかの MOS トランジスタと IC を区別しないと、IC 内の寄生ダイオードが順方向にバイアスされて大電流が流れ、素子が破壊されます。

(2) M₉, M₁₀, M₁₂ も同じ IC で組む

正電圧/負電圧ダブル回路ともに(1)と同じ理由でほかの IC と分離して回路を組む必要があります。

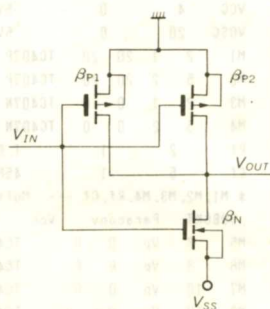
(3) M₅, M₆ の論理じきい値

設計のポイントで述べたように、V_{cc}系の発振回路のパルスが、2 V_{cc}系の昇圧回路へ送られたとき、パルスの“H”/“L”を判別するためには論理じきい値を(1/4)電源にしておくと、もっともノイズ・マージンが確保できます。



〈図 39〉⁽⁴⁾
CMOS IC (TC4007UBP)
の等価回路とピン配置

〈図 40〉 論理しきい値
(1/3) V_{SS} のインバータ



〈表 4〉 使用する IC の組み合わせ (正電圧ダブラ)

IC	回路素子	備 考	電源系
1	M_5, M_6, M_{11}	SW_1, ϕ 信号	$V_{CC} \rightarrow 2V_{CC}$
2	$INV_1, INV_2, (M_8)$	発振回路	V_{CC}
3	M_9, M_{10}, M_{12}	SW_3, ϕ 信号	$2V_{CC}$
4	M_7, M_8	C_1, C_2 の充電	V_{CC}

〈表 5〉 正電圧ダブラ回路の設計値

PMOS	設計値 (MOS 数)	NMOS	設計値 (MOS 数)	R, C	設計値
M_6	1	M_5	2	C_1	$2\mu F$
M_8	3	M_7	3	C_2	$2\mu F$
M_{10}	1	M_9	1	C_3	$45pF$
M_{11}	2			R_3	$1M\Omega$
M_{12}	2			R_L	負荷
INV_1	1	INV_1	1		
INV_2	1	INV_2	1		

正電源のインバータについては、図 13 に示したの
で、ここでは負電源のインバータ (負電圧ダブラ用) に
ついて図 40 に示します。

$$\beta_{P1} = \beta_{P2} = \beta_N, V_{thN} = |V_{thP}|$$

とすると、PMOS の並列接続により論理しきい値
 V_{thc} は、 $V_{thc} \approx (1/3) V_{SS}$ になります。

以上のような製作上の留意点を考慮して、4 個の
TC4007UBP の組み合わせを決めたのが表 4 です。

● 実際の設計値と製作

SPICE 回路シミュレーションでは、MOS トランジ
スタの W/L を可変して特性を調べ、MOS トランジ
スタの定数を決定しました。実際に製作する場合は、
 W/L を TC4007UBP の MOS トランジスタ数に変換
して回路を製作します。

TC4007UBP のデバイス・モデリングの結果には、
次のような関係があります⁽³⁾。

PMOS の $W/L = 480/8 \rightarrow$ PMOS 1 個

NMOS の $W/L = 290/8 \rightarrow$ NMOS 1 個

たとえば NMOS の W/L が $580/8$ と設計された場
合は、NMOS を二つ並列に接続します。逆に半分の
 $W/L = 145/8$ と設計された場合は、直列に二つ接続
することになります。

〈表 6〉 負電圧ダブラ回路の設計値

PMOS	設計値 (MOS 数)	NMOS	設計値 (MOS 数)	R, C	設計値
M_6	2	M_5	1	C_1	$2\mu F$
M_8	3	M_7	3	C_2	$2\mu F$
M_{10}	1	M_9	1	C_3	$45pF$
		M_{11}	2	R_3	$1M\Omega$
		M_{12}	2	R_L	負荷
INV_1	1	INV_1	1		
INV_2	1	INV_2	1		

表 5、表 6 は、表 1、表 2 に示した W/L の設計値
を MOS の数に変換した設計値を示したものです。

また図 41、図 42 に実際に作る場合の IC 間の結線
を示しました。GND 端子は電源インピーダンスを下
げるために二つ設けてあります。外付けコンデンサは、
直列抵抗の小さいタンタル・コンデンサや低 ESR (等
価直列抵抗) の電解コンデンサがよいでしょう。

● ロー・パワー正電圧ダブラ回路の製作

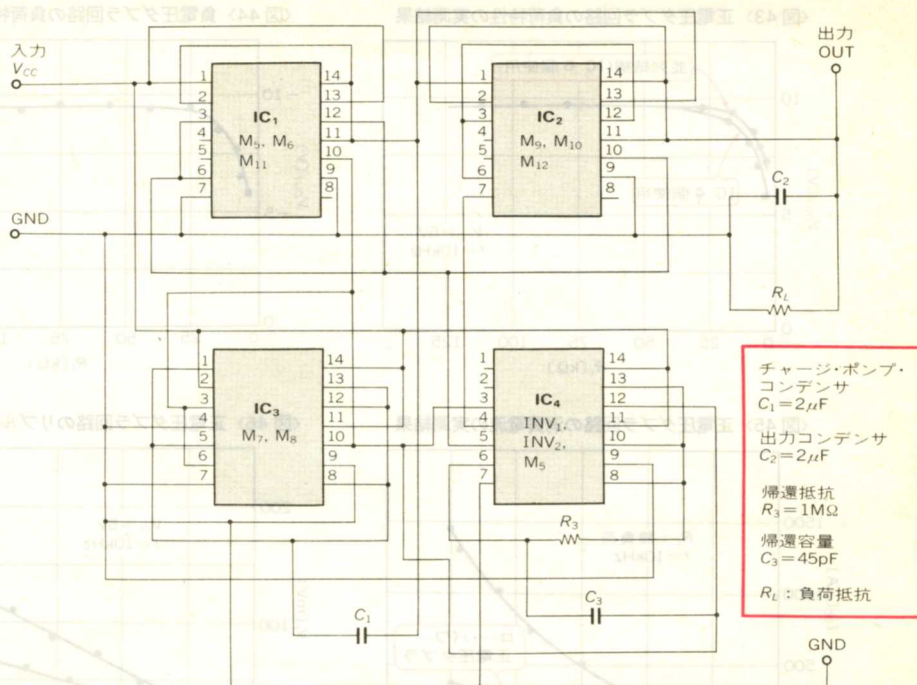
SPICE による回路シミュレーションで得られた解
析結果から、発振回路に対策を施せば消費電力が低減
でき、低消費電力のコンバータが作れます。

今まで紹介してきたダブラ回路の中の発振回路は、
IC 1 個と抵抗、コンデンサで組めますが、ロー・パワ
ー化するため、さらに 2 個の IC を追加します。追加
した IC はインバータの貫通電流パスの抵抗値を上げ
るために使います。

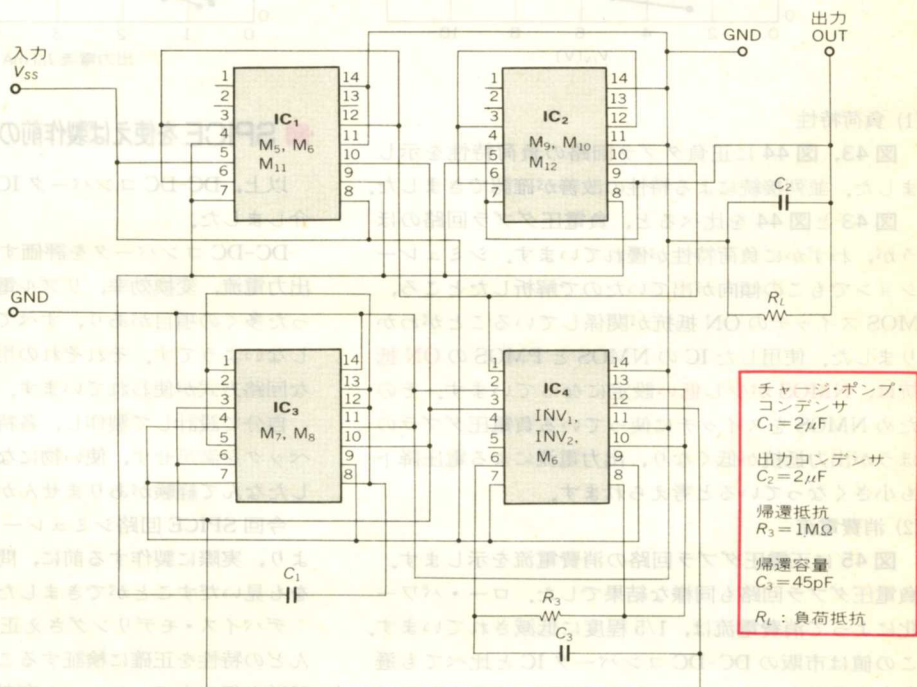
実際の製作では、図 4 の発振回路のインバータ
(INV_2) の PMOS、NMOS をそれぞれ 1 段から直列 7
段に結線し、ゲートを共通にします。

表 7 は、IC 4 個の正電圧ダブラとロー・パワー正電
圧ダブラの消費電力のシミュレーション結果です。か
なり改善されることがわかります。

〈図 41〉
正電圧ダブル回路の配線図



〈図 42〉
負電圧ダブル回路の配線図



もちろんロー・パワー化しても、入出力特性、負荷特性などが悪化することはありません。

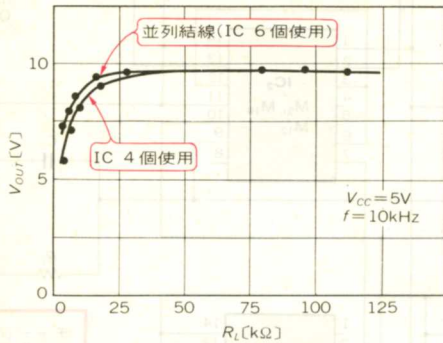
● ダブル回路の実測結果

製作した回路の実測結果を図 43～図 46 に示しました。入出力特性はシミュレーション結果とほぼ同じで、無負荷なら全動作電圧範囲で電圧変換効率は 99 % 以上でした。

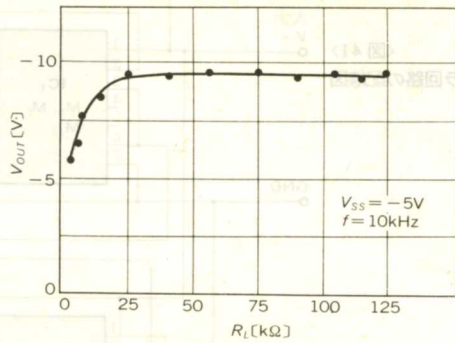
〈表 7〉 正電圧ダブル回路の消費電流の比較

V_{cc}	2.5	5	7	10	V
正電圧ダブルの消費電流 (IC4 個)	60	257	625	1460	μA
ロー・パワー正電圧ダブルの消費電流 (IC6 個)	30	43	123	277	μA

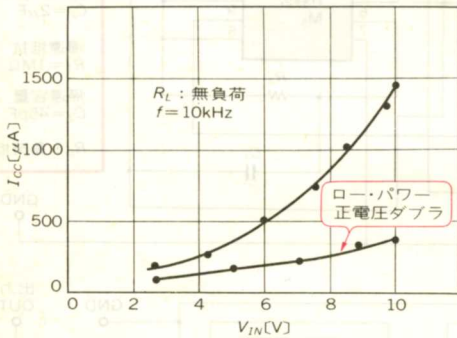
〈図 43〉 正電圧ダブラ回路の負荷特性の実測結果



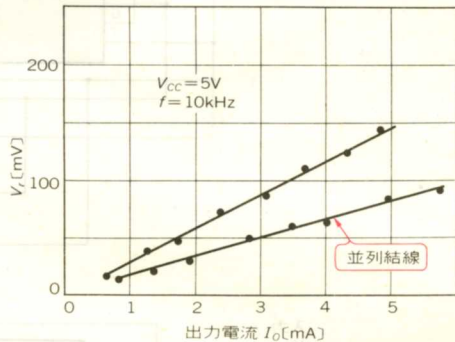
〈図 44〉 負電圧ダブラ回路の負荷特性の実測結果



〈図 45〉 正電圧ダブラ回路の消費電流の実測結果



〈図 46〉 正電圧ダブラ回路のリプル電圧の実測結果



(1) 負荷特性

図 43, 図 44 に正負ダブラ回路の負荷特性を示しました。並列接続による特性の改善が確認できました。

図 43 と図 44 を比べると、負電圧ダブラ回路のほうが、わずかに負荷特性が優れています。シミュレーションでもこの傾向が出ていたので解析したところ、MOS スイッチの ON 抵抗が関係していることがわかりました。使用した IC の NMOS と PMOS の ON 抵抗は、NMOS が少し低い設定になっています。そのため NMOS をスイッチに使っている負電圧ダブラのほうが出力抵抗が低くなり、出力電流による電圧降下も小さくなっていると考えられます。

(2) 消費電流

図 45 に正電圧ダブラ回路の消費電流を示します。負電圧ダブラ回路も同様な結果でした。ロー・パワー化によって消費電流は、1/5 程度に低減されています。この値は市販の DC-DC コンバータ IC と比べても遜色ありません。

(3) リプル特性

図 46 に正電圧ダブラ回路のリプル特性を示します。負電圧コンバータも同様な実測結果でした。並列接続により、出力リプル電圧が半分程度に改善されています。これは (12) 式のリプルの関係式を見てわかるように、並列接続によって出力コンデンサの容量が 2 倍になったためです。

■ SPICE を使えば製作前の検証が十分にできる

以上、DC-DC コンバータ IC の設計・試作事例を紹介しました。

DC-DC コンバータを評価するには、動作電圧範囲、出力電流、変換効率、リプル電圧、消費電流などといった多くの項目があり、すべてを満足する回路は存在しないようです。それぞれの用途に応じて、いろいろな回路方式が使われています。

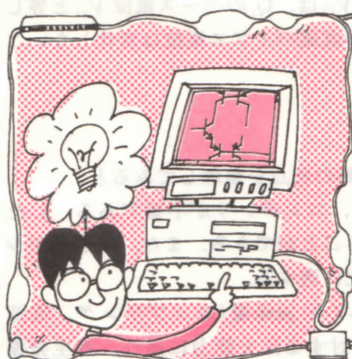
自分で設計して製作し、各特性を測って見たら、スペックを満足せず、使い物にならなくて時間を無駄にしたなんて経験がありませんか？

今回 SPICE 回路シミュレーションを使ったことにより、実際に製作する前に、問題点を発見し、解決法をも見いだすことができました。

デバイス・モデリングさえ正確なら、SPICE はほとんどの特性を正確に検証することができるので、回路設計を行う上で、たいへん有効なツールだといえます。

◆参考・引用文献◆

- (1) 岡村勉夫：SPICE によるトランジスタ回路の設計，CQ 出版（株），1992。
- (2) 白土義男：アナログ IC のすべて，東京電機大学出版局，1989。
- (3) 竹井澄明：CMOS OP アンプ IC の設計法，トランジスタ技術，1993 年 7 月号，pp.317～330，CQ 出版（株）。
- (4) 東芝 C²MOS 技術資料，（株）東芝，1986。



集積回路の回路技術をパソコンでシミュレーション!

IC 基本特許回路の SPICE による検証

③ 差動増幅回路/ギルバート・セル回路

竹井 澄明

差動増幅回路特許⁽¹⁾

…特公昭 44-16689 RCA 社

差動回路は1950年代に開発されました。そして1960年初めに、フェアチャイルド社によって差動アンプICが世界で初めて生産されました。その後1965年に、同じくフェアチャイルド社は $\mu A709$ 、 $\mu A741$ などのモノリシックOPアンプを開発し、差動増幅回路の有用性が証明されました。

ここでは、差動増幅回路の代表的な回路の一つである特許回路を紹介します(図3-1)。

● 差動増幅回路は高周波特性が良い

この回路は高周波・高利得増幅用に適しています。現在でも、TV映像中間周波回路やFM受信機のリミッタ増幅器に使われています。

図3-1を見てわかるように、片側のトランジスタ Q_2 を終端し、入力トランジスタ Q_1 のコレクタを接地しています。この回路構成によって、トランジスタ Q_1 は最小の入力容量にて動作し、電流増幅を行うことができます。そしてベース接地した Q_2 が増幅する電流

を、 Q_2 の負荷抵抗 R_L によって電圧変換します。 Q_1 のコレクタで電圧変換すると、信号源抵抗と Q_1 のミラー効果入力容量によって周波数特性が悪化するからです。この特許回路は、 Q_1 、 Q_2 、 Q_3 の各増幅段において、出力から入力への帰還量が少なく広帯域化が可能となります。

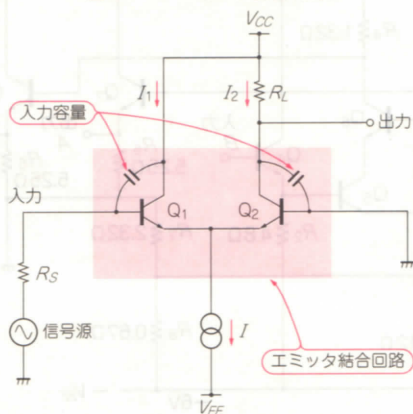
● RCA社の差動増幅特許回路

▶ エミッタ・フォロワを追加し直結が可能となる

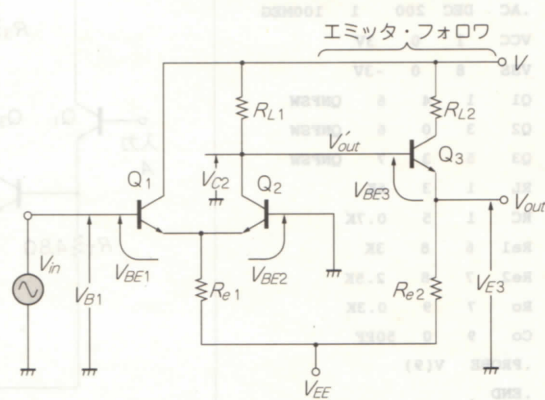
また、定電流源 I によって与えられる同相負帰還のために、安定なバイアス電流が得られます。バイアスが安定しているので直結に適しており、多段増幅器にも使えます。しかし、エミッタ結合利得段の差動出力を次段へ直結すると、負荷抵抗 R_L と次段のトランジスタの入力容量によって周波数特性が悪化します。そこでRCA社の特許回路(図3-2)では、入力容量が小さく出力インピーダンスが小さいエミッタ・フォロワを追加しています。

また図3-2のエミッタ・フォロワのトランジスタ Q_3 は、直流的に見るとレベル・シフトの働きをします。直結の増幅回路では段間にコンデンサがありません。したがって、前段のトランジスタの直流コレクタ電圧

〈図3-1〉⁽²⁾ エミッタ結合利得段



〈図3-2〉 RCA社の差動増幅回路特許回路



$$V_{E3} = V_{B3} - V_{BE3} \dots\dots\dots(3)$$

```
Differential Amplifier Circuit
*(特許回路 - 差動増幅回路 RCA 社)
.LIB "A:\PSPICE\LIB\ANX.LIB"
.TRAN 0.1U 20U
VCC 1 0 3V
VSS 8 0 -3V
VIN 4 0 SIN(0 0.02 200KHZ)
Q1 1 4 6 QNFSW
Q2 3 0 6 QNFSW
Q3 5 3 7 QNFSW
RL 1 3 6K
RC 1 5 0.7K
Re1 6 8 3K
Re2 7 8 2.5K
Ro 7 9 0.3K
Co 9 0 50PF
*V(4)入力電圧 V(3)差動出力
*V(9)差動増幅出力
.PROBE V(4) V(3) V(9)
.END
```

```
Differential Amplifier Circuit
*(差動増幅回路 RCA 社---AC 解析)
.LIB "A:\WPSPICE\LIB\ANX.LIB"
VIN 4 0 AC=1
.AC DEC 200 1 100MEG
VCC 1 0 3V
VSS 8 0 -3V
Q1 1 4 6 QNFSW
Q2 3 0 6 QNFSW
Q3 5 3 7 QNFSW
RL 1 3 6K
RC 1 5 0.7K
Re1 6 8 3K
Re2 7 8 2.5K
Ro 7 9 0.3K
Co 9 0 50PF
.PROBE V(9)
.END
```

● 特許回路の利点

① 直結できるため、コンデンサが不要である。したがって高利得を得ることができる。また、端子数が少なくできて高集積化に適する。

② 出力から入力への同相帰還(カップリング, 電源などからの帰還)に対する除去能力に優れ, 寄生発振に対する安定性が良好である。

③ 多段化する場合、レベル・シフトするためにPNPトランジスタを使う必要がない。したがって周波数特性の高周波化が可能である。ただしIC化においてトランジスタ特性の整合が必要である。

④ 電源変動、温度変動に対して安定である。

実際の回路では、図3-3に示すようにエミッタ結合利得段にトランジスタ Q_2 と Q_5 を複合接続しています。こうすることによって、負帰還回路を構成することができるようになり、低周波利得特性を改善することが可能になります。

● 回路シミュレーションで検証

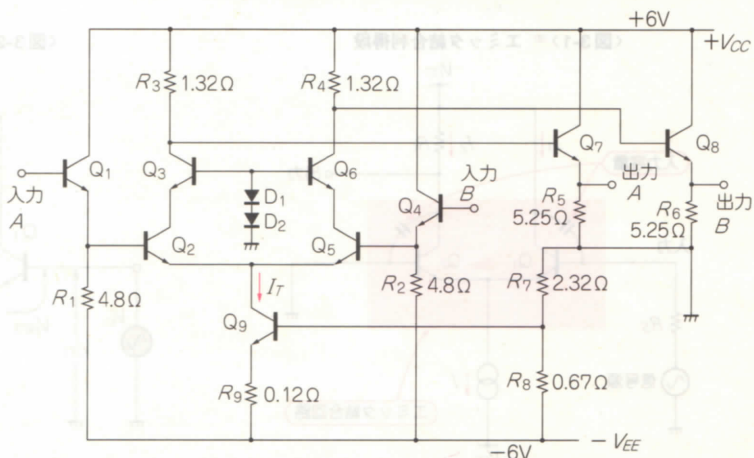
▶ 利得特性の検証

それでは図3-2の回路の高利得特性をシミュレーションで検証してみましょう(リスト3-1)。

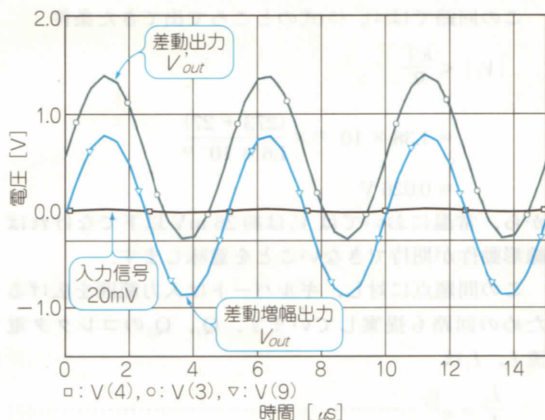
図3-4は、入力信号 V_{in} 、 Q_2 の出力 V'_{out} 、そして Q_3 の出力 V_{out} の信号波形のシミュレーション結果です。

入力 20 mV に対し出力 0.8 V つまり 40 倍 (32 dB) の利得が得られています。先ほどレベル・シフトの話に触れましたが、差動の直接出力 V_{out} は約 0.5 V レベ

〈図 3-3〉⁽²⁾ 複合素子を使用した広帯域増幅回路



〈図3-4〉 差動増幅回路の入出力特性シミュレーション結果



ル・シフトしています。しかし、エミッタ・フォロワの出力はもとの差動入力レベルにもどっています。

▶ 周波数特性の検証

次にAC解析つまり、周波数特性の検証をしてみましょう(リスト3-2)。図3-5のシミュレーション結果より直流利得32 dB, ユニティ・ゲイン帯域幅 f_t = 38 MHz, 位相余裕度25°です。

以上の結果より、このようなシンプルな回路でも高利得、広帯域の特性が得られることがわかります。

ギルバート・セル回路特許⁽³⁾

…特公昭48-20932 B.ギルバート

● ギルバート・セル回路はアナログ回路の基本部品

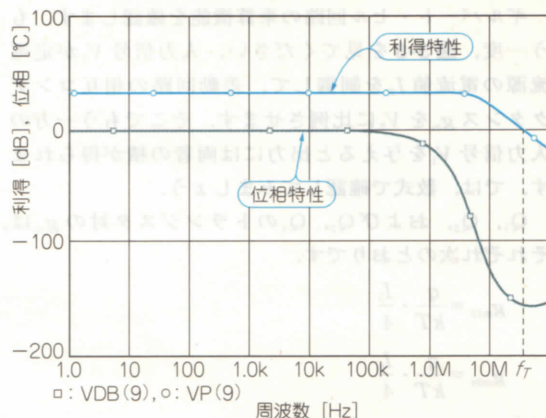
ギルバート・セルは各種アナログ処理をするための基礎となる回路です。IC化が進んできた1968年にバリイ・ギルバートが発明し、アメリカで1970年に、日本で1969年に特許しています。日本のほうが出願が早い理由は、アメリカで1968年と1969年の2回、特許出願が受理されなかったからです。

このギルバート・セルを組み込めば、乗算機能(図3-6)だけでなく2乗、除算、平方根といった数学的演算が可能となります。またリニアリティ、温度特性などが大変優れており、変調器、位相比較器など現在でも多方面のアナログ回路に使われています。このギルバート・セルはOPアンプと同様に、いろいろなところに部品のように使うことができるため、設計をしやすくします。

● それまでの乗算器

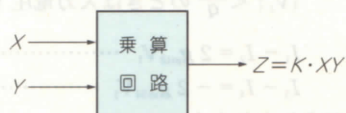
ギルバート・セルが発明されるまでは可変 g_m 型乗算器回路が一般的でした(図3-7)。この方式の乗算器は差動増幅回路と同時期に開発されました。しかし、精度と安定度の点から高周波信号の混合や変調に使わ

〈図3-5〉 差動増幅回路の周波数特性シミュレーション結果



〈図3-6〉

乗算機能ブロック図



れる程度でした。また、次に挙げる理由のため実用的ではありませんでした。

①乗算機能としては4象限機能(二つの入力信号の正負に対し、乗算結果を正負で出力できる機能)ではなく2象限機能である。

②出力に同相直流電圧が発生するため次段との直結が困難である。

なお、この回路の出力は次式で求められます。

$$\begin{aligned} V_o &= g_m R_L V_i \\ &= V_1 V_2 \cdot \frac{q}{kT} \cdot \frac{R_L}{R_E} \end{aligned}$$

● ギルバート・セル回路はIC化に向いている

ギルバート・セル回路(図3-8)は、集積回路を前提にした回路であったため、IC化の技術が発達するまでは個別部品で作っていました。しかし、高周波ひずみが大きい、信号が漏れる、出力レベルが制限されるといった欠点がありました。その後、この回路はモノリシック化されることにより大いに使われ始めます。とくに、回路構成がトランジスタと抵抗だけで構成できるためにIC化に適していました。IC化する場合のポイントとしては、次のことが重要です。

- ①構成しているトランジスタ特性の整合
- ②信号入力部の電圧-電流変換特性が直線動作であること

● 乗算機能を数式で確認

ギルバート・セル回路の乗算機能を確認します。もう一度、図3-8を見てください。入力信号 V_2 が定電流源の電流値 I_T を制御して、差動回路の相互コンダクタンス g_m を V_2 に比例させます。そこでもう一方の入力信号 V_1 を与えると出力には両者の積が得られます。では、数式で確認してみましょう。

Q_1 , Q_2 , および Q_3 , Q_4 のトランジスタ対の g_m は、それぞれ次のとおりです。

$$g_{m12} = \frac{q}{kT} \cdot \frac{I_5}{4}$$

$$g_{m34} = \frac{q}{kT} \cdot \frac{I_6}{4}$$

です。

$$|V_1| < \frac{kT}{q} \text{ のときは入力電圧 } V_1 \text{ に対して}$$

$$I_1 - I_2 = 2 g_{m12} V_1 \dots\dots\dots(4)$$

$$I_3 - I_4 = -2 g_{m34} V_1 \dots\dots\dots(5)$$

が成り立ちます。

したがって、出力電圧 V_O は(4), (5)式から、

$$V_O = R_L [(I_1 - I_2) + (I_3 - I_4)]$$

$$= \frac{q}{2kT} R_L V_1 (I_5 - I_6)$$

と求まります。

次に R_E を十分に大きく選び

$$I_5 R_E \gg \frac{kT}{q}, \quad I_6 R_E \gg \frac{kT}{q}$$

とすると、 Q_5 , Q_6 の対の差動出力電流 ($I_5 - I_6$) は

$$I_5 - I_6 = V_2 / R_E$$

となります。結局出力 V_O は

$$V_O = \frac{q}{2kT} \cdot \frac{R_L}{R_E} V_1 V_2 \dots\dots\dots(6)$$

ただし、 k : ボルツマン定数 ($1.38 \times 10^{-23} \text{ J/K}$)

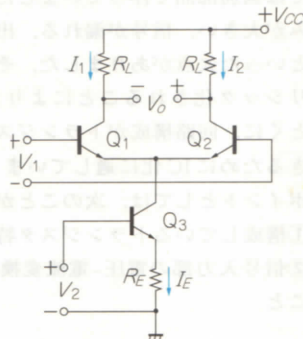
T : 絶対温度

q : 電子の電荷 ($1.6 \times 10^{-19} \text{ C}$)

と求まります。このように二つの入力の積に比例した値が得られます。

〈図3-7〉⁽²⁾

可変 g_m 型乗算器回路



● 実用的な乗算器 IC の開発

この回路では(4), (5)式のところで出てきた条件

$$|V_1| < \frac{kT}{q}$$

$$= 1.38 \times 10^{-23} \times \frac{(273 + 27)}{1.6 \times 10^{-19}}$$

$$\approx 0.026 \text{ V}$$

から、常温においては V_1 は約 26 mV 以下でなければ線形動作が期待できないことを意味します。

この問題点に対し、ギルバートは入力範囲を広げるための回路も提案しています。 Q_1 , Q_2 のコレクタ電流 I_1 , I_2 は

$$\frac{I_1}{I_2} = e^{\frac{qV_1}{kT}} \dots\dots\dots(7)$$

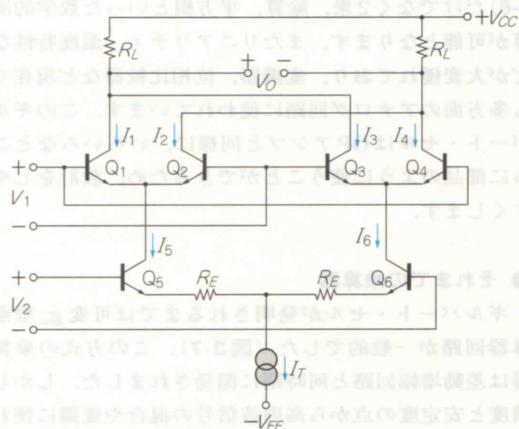
ですから、この関係を線形にして入力範囲を広げます。線形化のために、 V_1 を入力する前に対数関数処理をします。それを実現したのがアナログ・デバイセズ社の AD530 (図3-9) です。当時としては初めての実用的な乗算回路 IC の一つとして広く使われました。

ギルバートがこの特許を出願したのは、テクトロニクス社にいた 1970 年です。その後アナログ・デバイセズ社に移り現在も在籍しています。AD530 の開発には移籍したばかりのギルバートが関わっています。

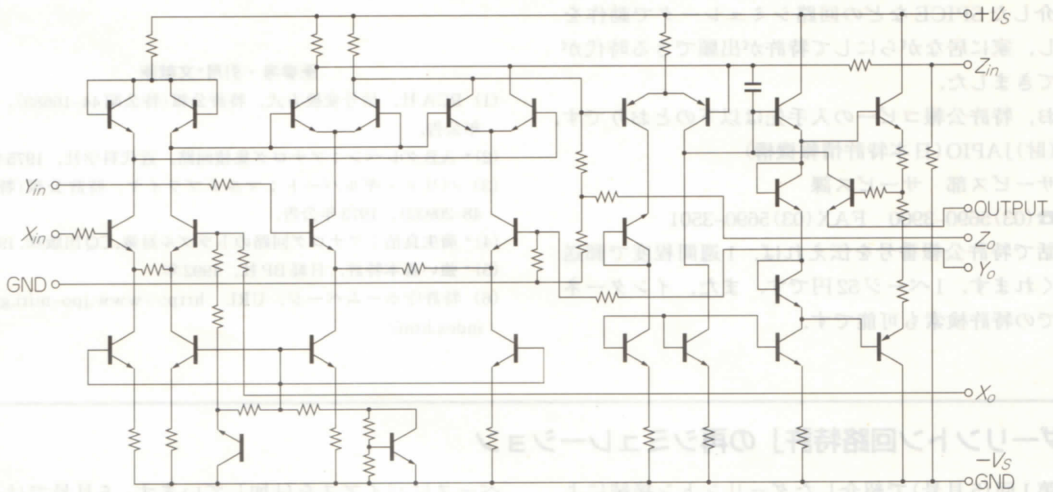
ダーリントン回路や、ここで紹介したギルバート・セル回路は個人の名前が冠せられています。しかし、彼らは企業に所属していましたから、特許の権利は企業がもっています。数年前のインタビューでギルバート氏はこう答えています⁽⁵⁾。

「特許に対する企業の報酬は金銭的には少ないものです。そして特許の権利も企業が所有します。しかし、自分のアイデアが世の中の進歩に貢献している満足感という報酬があります。」

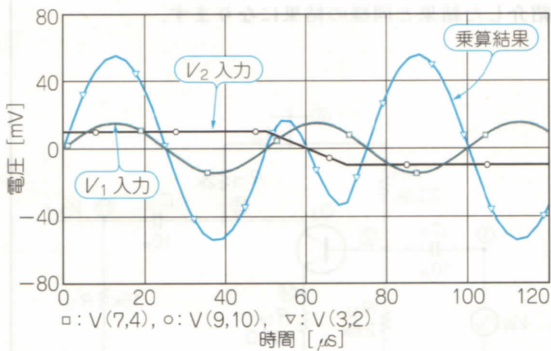
〈図3-8〉⁽²⁾ ギルバート・セル回路



〈図3-9〉⁽⁴⁾ 乗算回路 IC AD530



〈図3-10〉ギルバート・セル回路のシミュレーション結果



● シミュレーションによる4象限動作の確認

それではギルバート・セル(乗算回路)をシミュレーションしてみましょう。V₁には20 mVのサイン波、V₂には10～-10 mVに変化する折れ線波形を入力します(リスト3-3)。図3-10のシミュレーション結果より、各入力V₁、V₂の正負の極性に対し、出力の乗算結果は確かに4象限動作をしていることがわかります。出力電圧値もほぼ(6)式で示される値になります。

**1998年4月から
パソコンによる特許出願が可能に**

特許⁽⁶⁾について少し触れておきます。世界最初の特許法は、1624年に英国で施行されました。日本では1885年(明治18年)の専売特許条例が始まりといわれています。この条例は、長い鎖国から解放された日本人にとって、発明への強い刺激になったようです。条例が公布された1885年だけで、425件の特許が出願

〈リスト3-3〉ギルバート・セルのシミュレーション用プログラム

```
Gilbert Cell Circuit
*掛け算基本回路
VCC 1 0 10V
VSS 14 0 -10V
Io 12 14 2mA
Vin1 7 4 SIN(0 15mV 20K)
Vin2 9 10 PWL(0 10mV 50U 10mV
+70U -10mV 120U -10mV)
.LIB "C:\WPSPICE\LIB\ANX.LIB"
.TRAN 1U 120U
Q1 2 7 5 QNUNI
Q2 3 4 5 QNUNI
Q3 2 4 6 QNUNI
Q4 3 7 6 QNUNI
Q5 5 9 11 QNUNI
Q6 6 10 13 QNUNI
RL1 1 2 20K
RL2 1 3 20K
Re1 11 12 1K
Re2 13 12 1K
*V(7,4):V1入力 V(9,10):V2入力
*V(3,2):出力
.PROBE V(7,4) V(9,10) V(3,2)
.END
```

されています。最近の特許出願件数は年間約40万件という膨大な数です。企業による出願が多いのですが個人による出願もかなりあります。これまでに紹介した特許のなかにも何件か個人出願の特許がありました。いつの時代でも創造力というのは人間を刺激するものです。

簡易 NMOS・PMOS デバイスモデリング

モデリング方法の概要を示す。ここでは東芝製 CMOS・IC-TC4000 シリーズを扱っており、測定に使った IC は TC4007 です。

途中で資料・文献を参考にした上での仮定が多く入りますが、このような荒いモデリングでも結論としてかなりいいレベルで実測とあうことが確認できた。

ただし、ここでの記述は Pspice を対象にしているので、バーレーの SPICE で使用できないパラメータがあることを予め断っておきます。

LEVEL, TPG の設定

各種文献、資料を調査した結果、東芝製 CMOS・IC-TC4000 シリーズは AL ゲート・CMOS LOCCOS 8 ~ 10 ミクロンプロセスと考えられる。従って

$$\text{LEVEL} = 3 \quad \text{TPG} = 0$$

tox, NSUB, LD, WD の設定

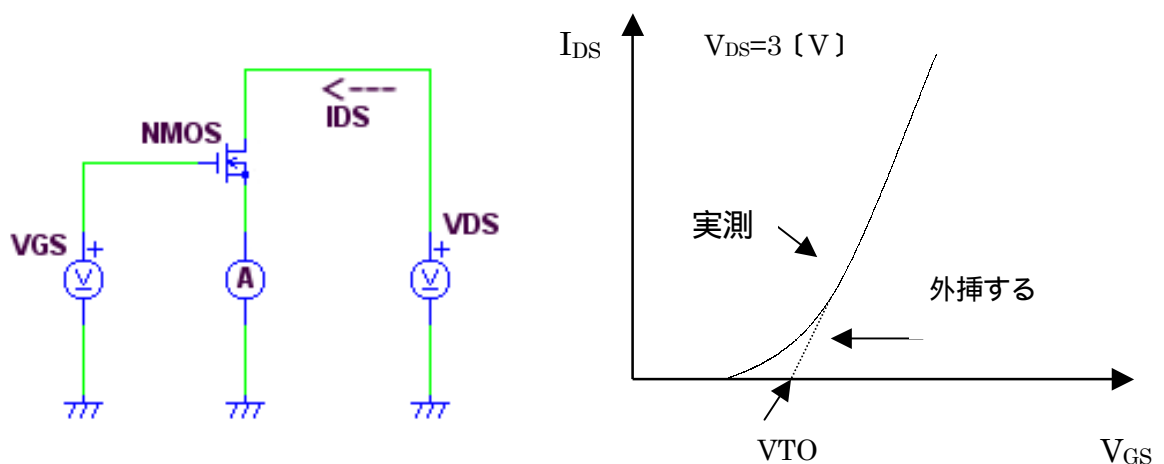
製造プロセスに関わるもので、各種文献、資料等を調査して数値を仮定した。

$$t_{ox} = 850 \times 10^{-10} \text{ [m]} \quad LD = 0.5 \text{ [}\mu\text{m]} \quad WD = 1.1 \text{ [}\mu\text{m]} \quad NSUB = 5 \times 10^{15} \text{ [1/cm}^3\text{]}$$

VTO の設定

下図のような回路 (NMOS の場合) で IC 中の MOS トランジスタの閾値電圧を測定して決める。実際に測定してみると、IC によりバラツキがあるが一応次のように設定した。

$$V_{TO_N} = 0.7 \text{ [V]} \quad V_{TO_P} = -0.6 \text{ [V]}$$



KP, L, W の設定

$KP = \mu C_{OX} = \frac{\mu \epsilon_{SiO_2}}{t_{OX}}$ である。この計算をするために移動度 μ を文献、資料等で調べて次のように仮定した。

NMOS の移動度 $\mu_N = 0.11 \text{ [m}^2 / \text{V s]}$

PMOS の移動度 $\mu_P = 0.032 \text{ [m}^2 / \text{V s]}$

またゲート酸化膜 (SiO_2) の誘電率 ϵ_{SiO_2} は、

$$\epsilon_{SiO_2} = 4 \times 8.85 \times 10^{-12} \text{ [F / m]}$$

ゲート酸化膜厚は で仮定したように、 $t_{OX} = 850 \times 10^{-10} \text{ [m]}$ であるからこれらの数値を上
の式に代入して KP を求めた。

$$KP_N = 4.5 \times 10^{-5} \text{ [A / V}^2\text{]} \quad KP_P = 1.35 \times 10^{-5} \text{ [A / V}^2\text{]}$$

次に L と W であるが、チャネル長 L は より $L = 10 \text{ [}\mu\text{m]}$ と仮定。チャネル幅 W はデータ
シートの直流特性または実測して電流値が合うように調整する。データシートの直流特性を使っ
て計算する方法を NMOS について示す。NMOS のデータシートより

$$V_{GS} = 5 \text{ [V]} \quad V_{DS} = 0.4 \text{ [V]} \quad I_{OL} = 1.5 \text{ [mA]}$$

この電圧条件は、 $V_{GS} - V_{thN} > V_{DS}$ であるから非飽和領域である。(V_{thN} は で設定した V_{TON}
 $= 0.7 \text{ [V]}$) 従って

$$I_{OL} = \frac{\mu_N C_{OX} W}{L} \left\{ (V_{GS} - V_{thN}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

この式に数値を代入すると

$$1.5 \times 10^{-3} = 4.5 \times 10^{-5} \times \frac{W}{10 \times 10^{-6}} \left\{ (5 - 0.7) \times 0.4 - \frac{0.4^2}{2} \right\}$$

従ってこの式より W を計算すると、 $W = 203 \text{ [}\mu\text{m]}$ が得られる。この計算で大まかな数
値がわかったので、あとは W の数値を細かく変えてシミュレーションとデータシート又は実測
データと電流値が合うように調整する。細かく合わせ込んだ結果、次のように設定した。

$$W_N = 190 \text{ [}\mu\text{m]} \quad W_P = 400 \text{ [}\mu\text{m]}$$

CGS0, CGD0, CGB0 の設定

拡散層のゲート下の食い込みは の仮定で $LD = 0.5 \text{ [}\mu\text{m]}$ であるから次の式で計算できる。

$$C_{GS0} = C_{GD0} = \frac{\epsilon_{SiO_2} \times LD}{t_{OX}}$$

この式に数値を代入すると

$$C_{GS0} = C_{GD0} = \frac{4 \times 8.85 \times 10^{-12} \times 0.5 \times 10^{-6}}{850 \times 10^{-10}} = 2.1 \times 10^{-10} [\text{F/m}]$$

また、フィールド酸化膜下の食い込みは の仮定で $WD=1.1 [\mu\text{m}]$ であるから C_{GB0} は次の式で計算できる。

$$C_{GB0} = \frac{\epsilon_{SiO2} \times WD}{t_{OX}}$$

ただし、 $1.1 [\mu\text{m}]$ 食い込んだ時のフィールド酸化膜厚 t_{OXF} をゲート酸化膜厚の 3 倍と仮定して計算。

$$C_{GB0} = \frac{4 \times 8.85 \times 10^{-12} \times 1.1 \times 10^{-6}}{3 \times 850 \times 10^{-10}} = 1.5 \times 10^{-10} [\text{F/m}]$$

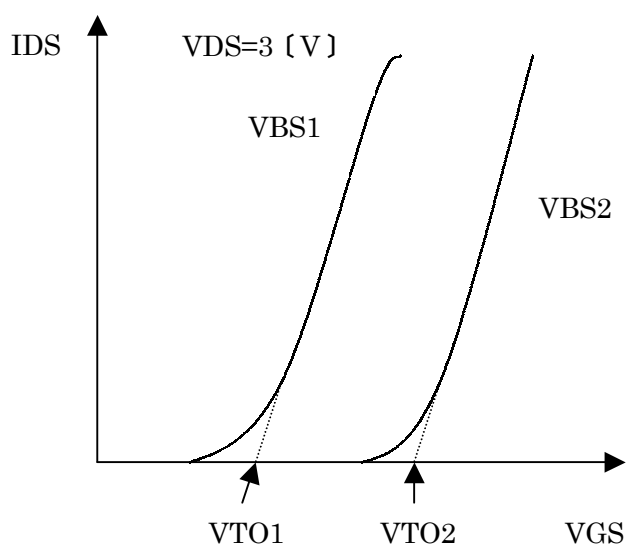
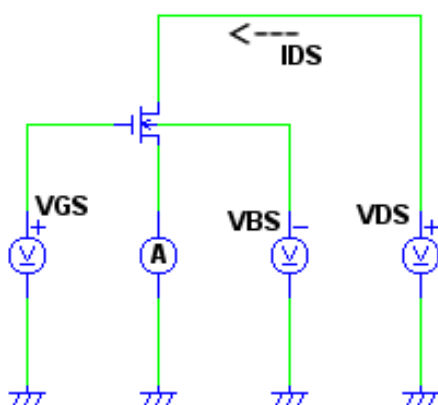
GAMMA の設定

下図の回路(NMOS の場合)で基板電圧を変えた時の閾値電圧 V_{TO} を実測して下記式で計算。

$$(GAMMA)_N = \frac{V_{TO2} - V_{TO1}}{\sqrt{V_{BS2} - V_{BS1}}}$$

その結果、下記のように設定する。

$$(GAMMA)_N = 0.8 \quad (GAMMA)_P = 0.9$$



TT, RD, RS, RG の設定

～ までの方法でパラメータを設定すればトランジェント特性もほぼデータシートと一致する。さらに細かい設定は、TT, RD, RS, RG, CBD, CBS, CJ, FC 等で調整できる。今回は下記パラメータのみを設定した。

(TT)_N = 100 [ns] (TT)_P = 80 [ns] RD = RS = RG = 2.0 []

作成した TC4007UBP モデルパラメータ

```
*-----
.model TC407N  NMOS(LEVEL=3 LD=1.2U VTO=0.7 KP=1.6E-5 GAMMA=1.0
+              TOX=1.0E-7 TPG=0  NSUB=5E15  L=8U
+              W=290U  WD=1.4U  RD=2.0  RS=2.0 RG=2.0
+              CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
*              TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*              93-02-15 版    by SUMIAKI TAKEI

.model TC407P  PMOS(LEVEL=3 LD=1.2U VTO=-0.6 KP=0.7E-5 GAMMA=0.9
+              TOX=1.0E-7 TPG=0  NSUB=2E15  L=8U
+              W=480U  WD=1.4U  RD=2.0  RS=2.0  RG=2.0
+              CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10  TT=80n)
*              TOSHIBA CMOS IC (TC4007UBP) CMOS LOCCOS 8U PROCESS
*              93-02-15 版    by SUMIAKI TAKEI
*-----
```

詳細は、
「CMOS OP アンプ IC の設計法」 トランジスタ技術 1993 年 7 月号 CQ 出版社
を参照して下さい。

CMOS インバータ レイアウト設計法-1

(C)2002 Sumiaki Takei

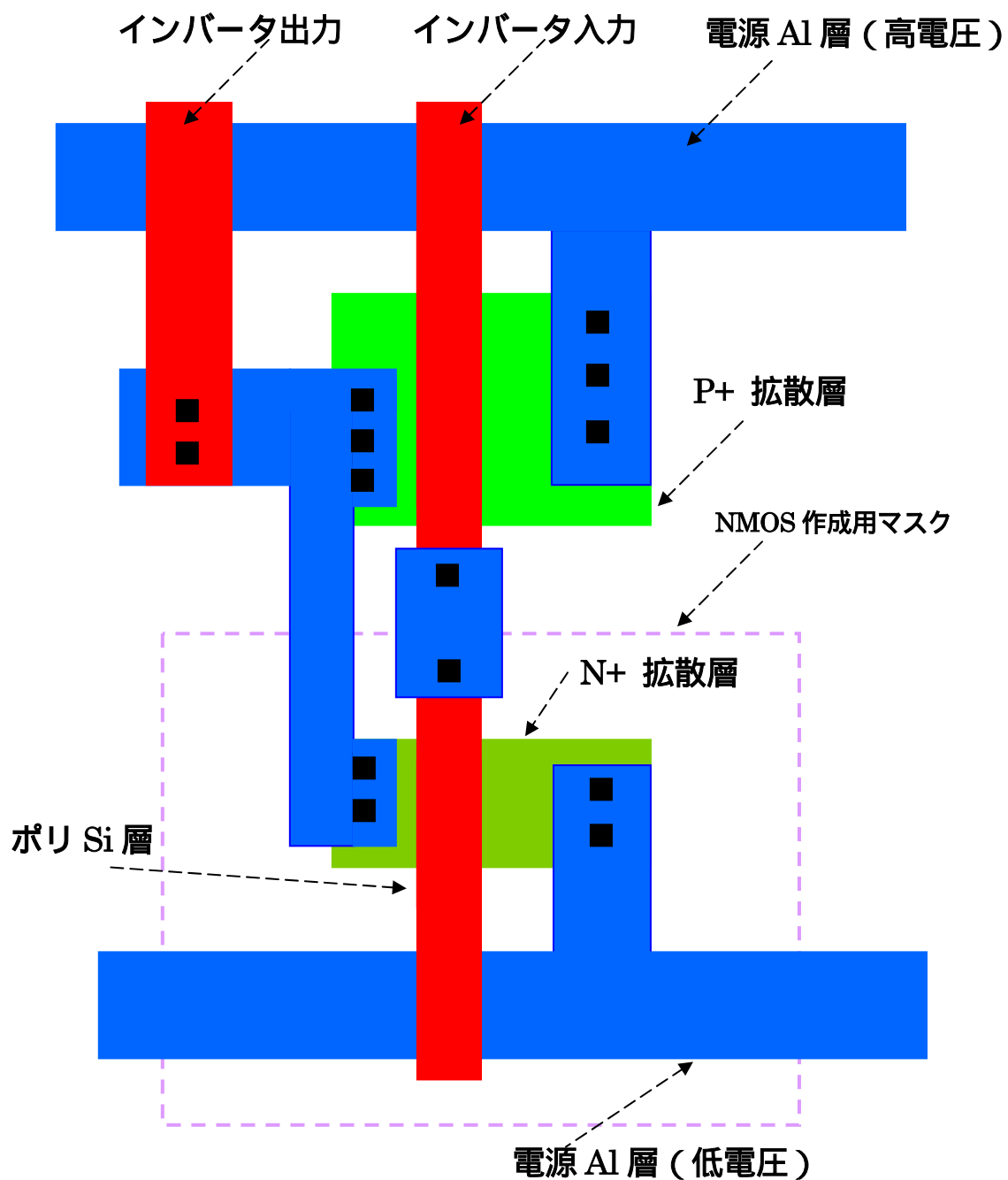
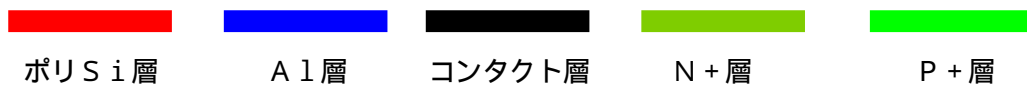


図1 CMOSインバータ レイアウト設計例

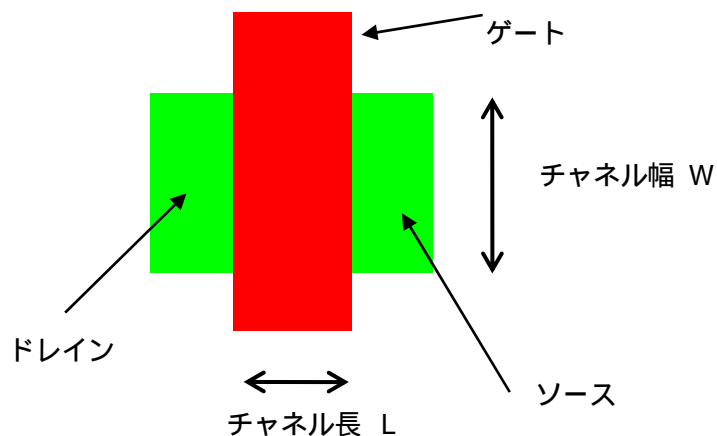
上図に CMOS インバータのレイアウト設計例を示した。各層については、



製造工程から言うとアルミ層が一番上層になるように図を示すべきだが、見やすさを考慮して層の上下関係を見捨てて描いている。レイアウト（パターン）設計の理解を深めるのが目的なのでご容赦願いたい。

このインバータ回路のレイアウト設計にはいくつかのノウハウがある。それについて紹介していきましょう。

1. W/L の設計 . . . チャンネル長、チャンネル幅とはなにか。



チャンネル長とチャンネル幅の比 (W/L) が大きいほど MOS の電流駆動能力が大きくなることはご存知だと思います。

従って、負荷容量が大きいとか、高速動作が要求されるといったときには W/L を大きくしたレイアウト設計が必要になります。

少ないパターン面積で W/L を稼ぐ方法として図2のように斜めゲートパターンを使う場合があります。

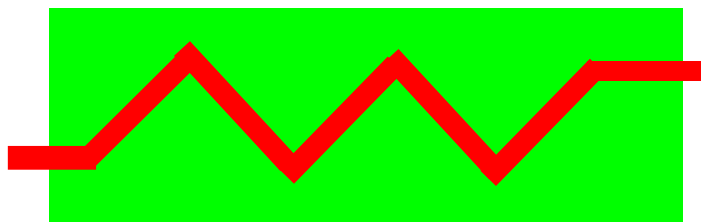


図2 斜めゲートの W/L レイアウト設計

また、図3のようなレイアウト設計でもW/Lを大きくすることができます。ここで留意する事は、コンタクトのとり方です。ドレインが1コンタクトで、ソースが2コンタクトになっています。逆でもいいのですが、出力になるドレインの容量を小さくするためにこのようなレイアウトになっています。当然CMOSですからPMOSとNMOSで両方このようなレイアウトにして、お互いのゲートやドレインを繋ぎます。

ICチップの入出力回路やアナログ回路以外の内部の論理回路では通常レイアウトルール
の最小寸法のチャンネル長で設計することが多い。私が会社を辞めた時は確か**3μルール**で
したから、インバータ回路などのチャンネル長は3μで設計していました。最近ではチャンネル長
が**0.1μ**などという話を聞きますから、ずいぶん微細化されているということがわかります。

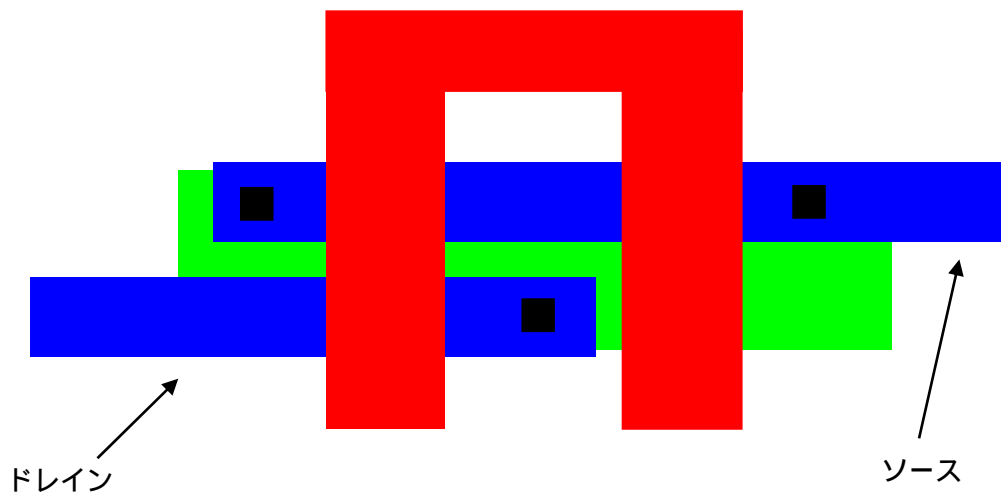


図3 2倍の W / L レイアウト設計例

2 . 論理しきい値の設定 . . . 例えば、設計しているCMOS・ICチップの入力
端子に外部信号が入ってくる場合、設計上留意する
ことがあります。

外部信号が**TTL**から来る場合、 $V_{OH} = 2.4 [V]$ 、 $V_{OL} = 0.4 [V]$ であるから、
CMOSインバータでこの信号を受けて High , Low を判別するには論理しきい値が

$$V_{LOGIC} = (2.4 + 0.4) / 2 = 1.4 [V]$$

になるようにレイアウト設計しなければならない。

下図に正しい設計例と間違った設計例を示しました。理由は下記の計算式を参照して下さい。レイアウト図はアルミ層などを省略して示しています。PMOS と NMOS のW / L だけに注目して見てください。

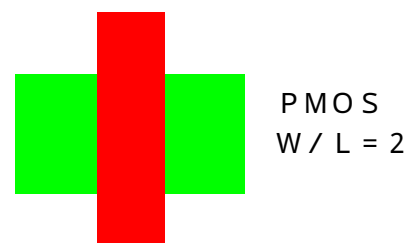


図4 正しいレイアウト設計例

図5 間違ったレイアウト設計例

CMOSインバータの論理しきい値の算出

$V_{in} = V_{out}$ で論理しきい値 V_{Logic} を計算する。この時PMOSもNMOSも飽和領域にある。したがって

$$i = \frac{1}{2} \beta_N (V_{Logic} - V_{thN})^2 = \frac{1}{2} \beta_P (V_{Logic} - V_{CC} - V_{thP})^2 \quad \alpha = \sqrt{\beta_P / \beta_N} \quad \text{とすると}$$

$$V_{Logic} - V_{thN} = \alpha (V_{CC} + V_{thP} - V_{Logic}) \quad \text{したがって}$$

$$V_{Logic} = \frac{\alpha (V_{CC} + V_{thP}) + V_{thN}}{1 + \alpha}$$

ただし、 $\beta_P = \left(\frac{W}{L}\right)_P \mu_P C_{OX}$ $\beta_N = \left(\frac{W}{L}\right)_N \mu_N C_{OX}$

移動度 μ の値は約 $3\mu_P = \mu_N$ の関係がある。

詳しい計算は省略するが $V_{CC} = 5\text{ V}$ の場合、NMOSの W/L をPMOSの W/L の約4倍に設定すれば論理しきい値 $V_{logic} = 1.4$ に設定できる。

3. 出力の出し方 . . . インバータの出力の方法には以下の3種類がある。

アルミ層を使う。

ポリシリコン層を使う。

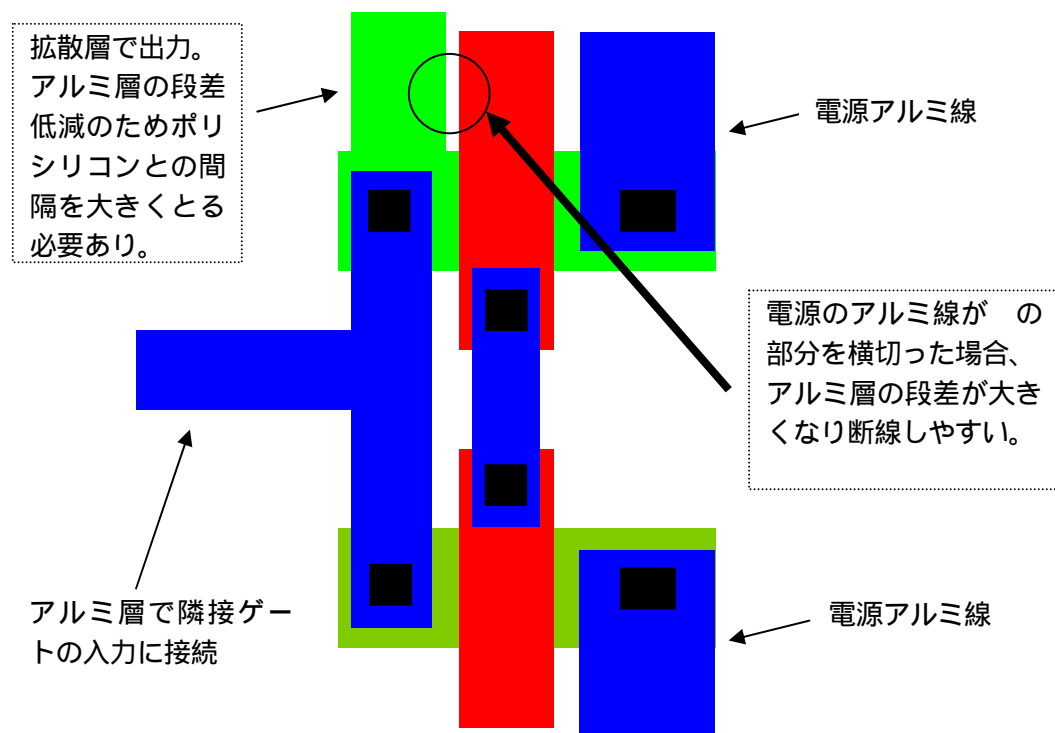
ドレインの拡散層を使う。

のアルミ層を使う方法が一番理想的ではあるが、通常のレイアウトではあまり使われない。理由は上下に電源のアルミ層が走っているため直接出すことができないからである。

隣に配置したゲート入力につなぐ場合にはこの方法がよく使われる。

のポリシリコン層が一番一般的である。ポリシリコンで電源アルミ層をまたいで、その後抵抗の低いアルミ層に打ち換えて配線を引き回すやり方が一般的である。

の拡散層を使う方法もたまに使います。全体の面積が小さくなるのがメリットですが、2つ問題があります。1つはあまり引き回すとラッチアップの原因になります。もうひとつの問題は下図に示した丸の部分でアルミ層の断線が起こりやすいことです。これはLOCOSプロセスの断面を見れば明らかです。ここでは詳細な説明はしませんの半導体の書籍で調べてみて下さい。これはレイアウトルール違反ではありませんが、歩留りに影響するのであまり勧められません。



CMOS 回路 レイアウト設計法-2

(C)2003 Sumiaki Takei

1. 正論理と負論理 . . . 論理によってNAND でもNOR にでもなってしまう。

図6にNAND (NOR) 回路のレイアウトを示した。

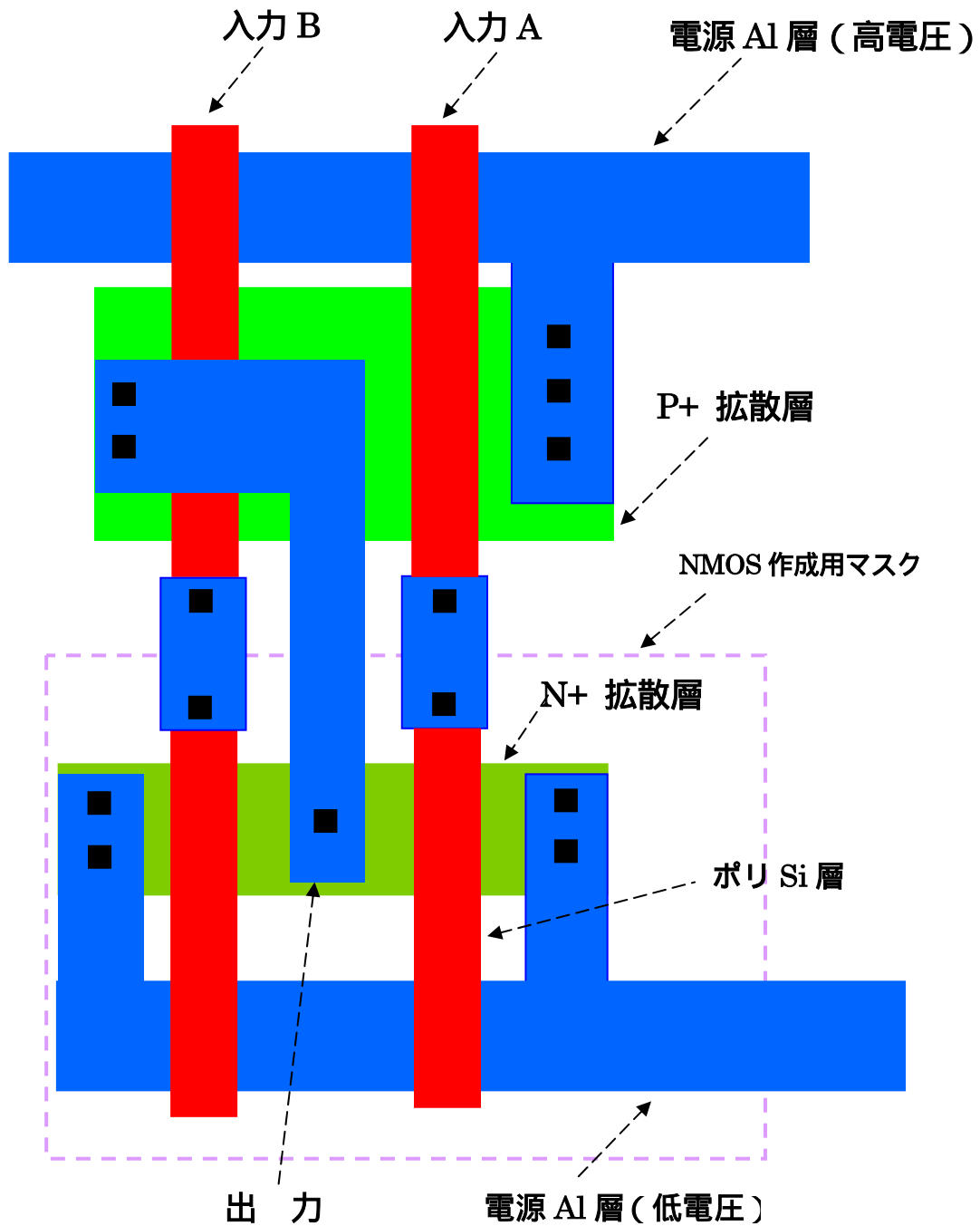
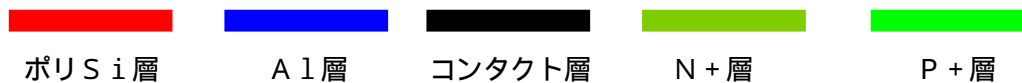


図6 CMOS NAND (NOR) 回路 レイアウト設計例

上図に CMOS NAND (NOR) 回路のレイアウト設計例を示した。各層については、



製造工程から言うとアルミ層が一番上層になるように図を示すべきだが、見やすさを考慮して層の上下関係を見捨てて描いている。レイアウト（パターン）設計の理解を深めるのが目的なのでご容赦願いたい。

このレイアウトパターンは NAND 回路なのか NOR 回路なのかと聞かれても即答はできない。論理設計を正論理で設計しているのか負論理かで違ってくる。今、それぞれのゲート入力（A,B）に高電圧 **H** と低電圧 **L** が入力された時の出力は下記表のようになる。

入力 A	入力 B	出 力
H	L	L
L	H	L
L	L	H
H	H	L

高電圧 **H** を 2 進数の **1**、低電圧 **L** を 2 進数の **0** として真理値表を作成すると表 1 のようになる。この場合は正論理であり NOR 回路動作になる。

逆の場合が負論理であり、表 2 のように NAND 回路になる。

私が 1980 年代初めに電卓用の CMOS・LSI を設計していた頃は負電源を使用して負論理で論理回路が組まれていた。電卓以降は正電源の正論理で設計された CMOS・LSI がほとんどである。

表 1 正論理の場合 → NOR 回路

入力 A	入力 B	出 力
1	0	0
0	1	0
0	0	1
1	1	0

表 2 負論理の場合 → NAND 回路

入力 A	入力 B	出 力
0	1	1
1	0	1
1	1	0
0	0	1

2．動作スピードを考慮したパターン設計

図6に示したレイアウトパターンにおいて、PMOSの $W/L = 30/5$ 、NMOSの $W/L = 10/5$ とします。このパターン設計は正しいのかどうか検証します。通常の論理回路で、動作スピードがシビアでない場合は関係ありませんが、少しでも速く動作させたい場合はPMOSとNMOSの W/L を考慮する必要があります。

図6では、PMOSが2段の直列になっており、NMOSは並列接続になっている。ゲートがONした時、電源から出力へのパスにおいてPMOSとNMOSで抵抗の大きいほうで動作スピードが決まってしまう。単純に計算してみよう。NMOSの g_m がPMOSの3倍として計算すると、

$$\begin{aligned}\text{PMOSの擬似抵抗} &= 2 \text{ (段数)} \times 3 \text{ (NMOSの} 1/3 \text{倍} g_m) \\ &\quad \times 1/3 \text{ (NMOSの3倍} W/L) = 2 \\ \text{NMOSの擬似抵抗} &= 1 \text{ (段数)} \times 1 \text{ (NMOSの} g_m \text{を基準)} \\ &\quad \times 1 \text{ (NMOSの} W/L \text{を基準)} = 1\end{aligned}$$

この簡単な計算より図6のレイアウト設計ではPMOSが2段ともONしてHigh出力が出る場合の抵抗がNMOSがONした時より2倍大きいことがわかります。従ってHigh出力がLow出力より約2倍遅いと考えられる。回路シミュレーションでHigh出力の動作スピードが仕様を満足していればそのままのレイアウトでもいいが、そうでなければPMOSの W/L を大きくする必要がある。先ほどの計算から言うと、NMOSの6倍の W/L にする必要がある。

つまり、PMOSの $W/L = 60/5$ NMOSの $W/L = 10/5$ でパターン設計すれば出力信号の立上がり、立下りは同程度のスピードになると考えられる。PMOSとNMOSのON抵抗を同じにしておくことは、ゲート回路の論理しきい値を電源電圧の真中に設定していることになるので、ノイズ信号に強くなり入力信号のhigt, lowの検出が早くなるという利点もあります。

次にもう1つ留意すべきことを書いておきます。

図6の回路で入力ゲートA, Bに他ゲートからの出力信号を受けた場合、どちらの入力ゲートに結線するか考慮する必要がある。クロック信号のように頻繁に変化する信号を受ける場合は、入力Bに結線すべきである。PMOSが両方ONしてHigh出力が出る場合、出力に近いゲートの方にクロック信号を結線しておけば、動作スピード的には1ゲート通過のスピードで出力される。

3入力、4入力・・・とゲート段数が増える場合は特にクロック信号入力の影響が出てくると思う。出力側に近いゲートにクロック入力するのは特許だったかも知れない。もう失効していると思うが。

3．論理回路への電源供給

いくつかのゲート回路の塊に電源を供給する場合は図8のようなレイアウトにすべきである。図7のような電源配置は好ましくない。図7と図8をよく見比べて下さい。まず電源線の引き回しですが、図7では特にボンディングパッド V_{cc} からの電源線はゲート回路群1, 2, 3に直列に接続されている。ゲート回路群_1近辺の電源線に流れる電流はゲート回路群2, 3の消費電流が加算された電流が流れるのでゲート回路群_1ではノイズや電圧降下の影響を受ける可能性がある。図8のように各ゲート回路群に並列に電源線を供給すべきである。

次に電源線の太さであるが、ボンディングパッドに近い部分は太くする必要がある。先ほども少し触れたが電流が多く集中する部分は太くするのが通常のレイアウト法である。これはノイズ、電圧降下を防ぐほか、電流密度を下げてエレクトロマイグレーション対策にもなる。

電源線の太さをどれくらいにするかはゲート回路の消費電流を見積もり(回路シミュレーション等で)プロセスで決まっている許容電流密度からワーストケースの2倍以上の余裕をもった電源線の太さに設計する必要がある。

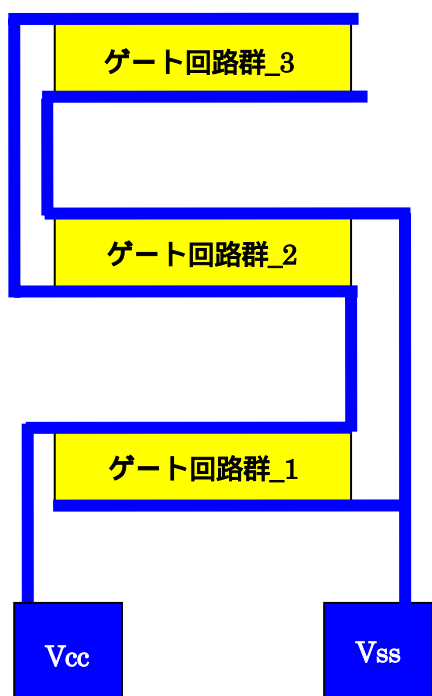


図7 悪い電源配線レイアウト

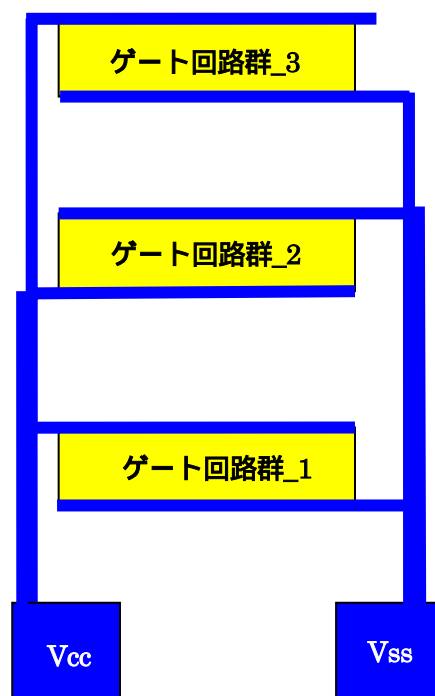


図8 良い電源配線レイアウト

4．クリティカルパスの特性パラメータの抽出

図9に CMOS・LOCOS 構造の断面図を示した。最近の微細 MOS 構造とは違う部分もあると思うが、概念がわかればいいと思うのでこれで説明したいと思う。

レイアウト設計した時に心配なバス部分のスピードをシミュレーションしたい場合がある。ゲート回路の出力から目的のゲートまでの負荷容量、寄生容量、配線抵抗などをパターンから面積・長さを読み取って回路パラメータを計算しシミュレーションしなければならない。それぞれの MOS 製造プロセスでパラメータの数値があるはずであるから、それを使って計算する。

下図において 3 μm CMOS・LOCOS の場合のパラメータの一例を示す。この数値は大まかなもので、どのメーカーのデータでもありません。

$$C_{Al-Si} = 0.7 \times 10^{-4}$$

$$C_{Al-F} = 0.9 \times 10^{-4}$$

$$C_{Si-F} = 0.8 \times 10^{-4}$$

$$C_{N^+-P^-WELL} = 3.2 \times 10^{-4}$$

$$C_{GATE} = 8.2 \times 10^{-4}$$

$$\rho_{Si} = 40$$

$$\rho_{N^+} = 50$$

$$\rho_{P^-WELL} = 8000$$

ただし、容量 C の単位は全て $\text{pF}/\mu\text{m}^2$
シート抵抗 ρ の単位は全て $/$ とする。

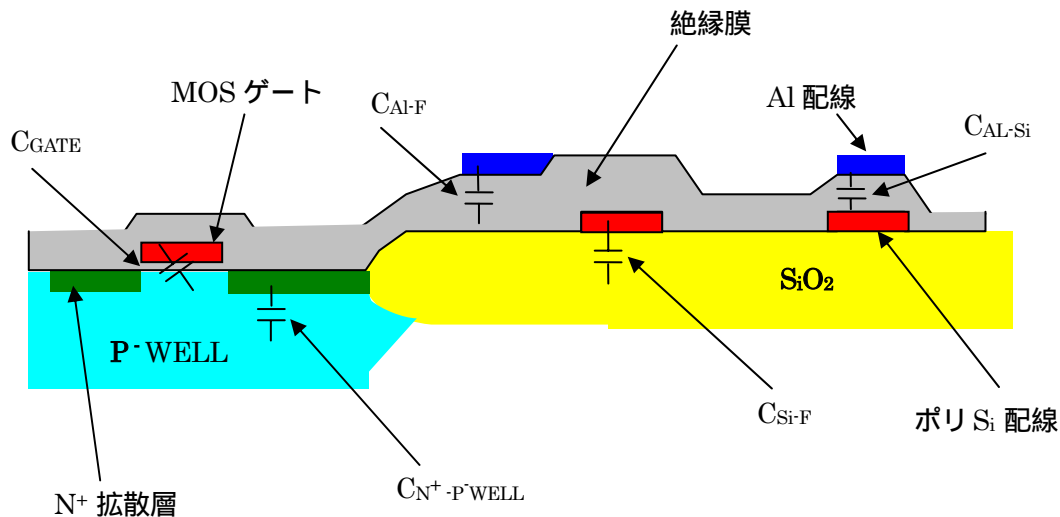
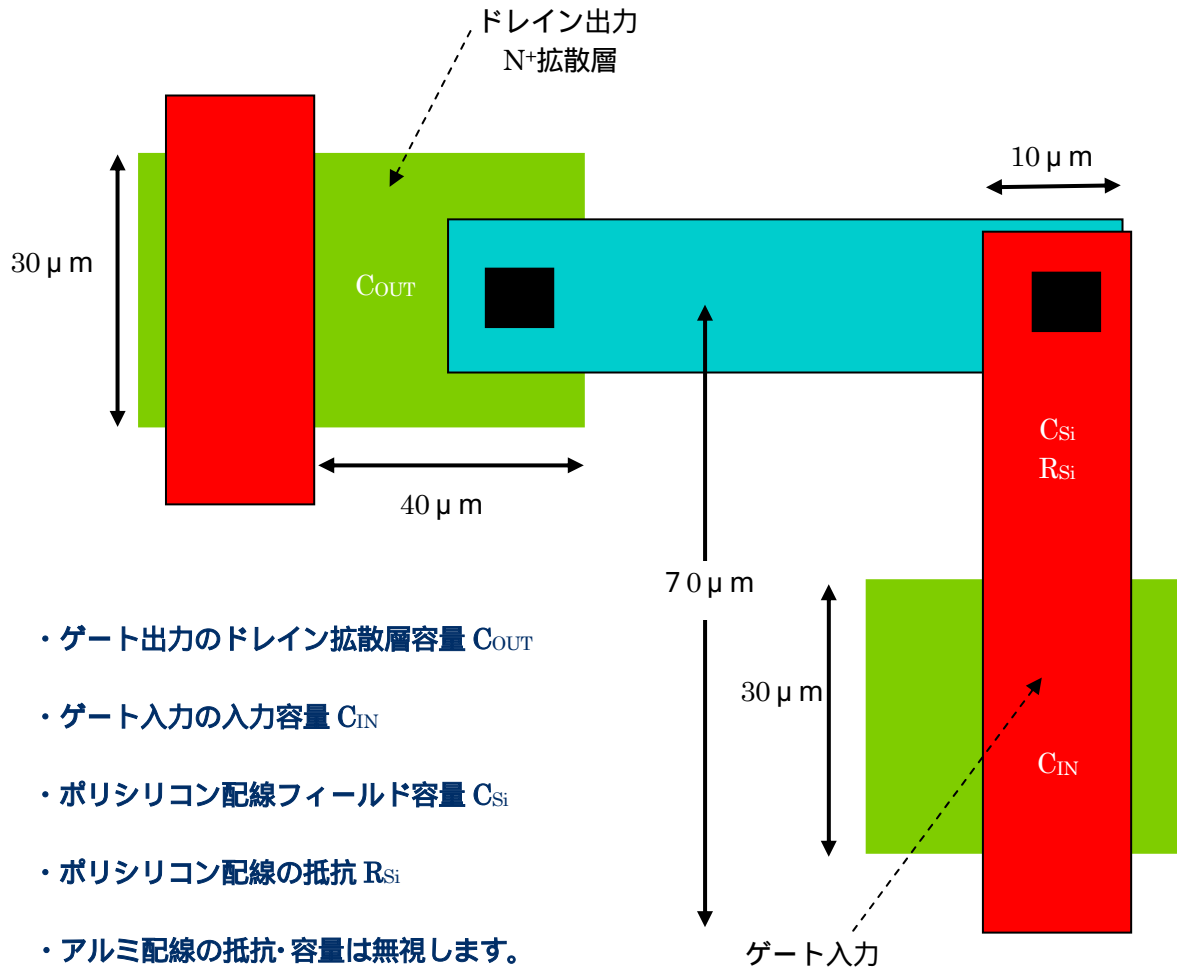


図 9 標準的な CMOS・LOCOS 断面構造図

今、下図のようなレイアウトパターンがあったとしよう。あるゲート回路の出力から次段のゲート入力までの容量、抵抗を計算してみよう。ゲート出力は CMOS の場合、PMOS と NMOS のドレイン面積が存在するわけだが、ここでは NMOS 側だけを表示している。各層の上下関係は無視している。わかりやすさを重視しているので ご容赦願いたい。



$$C_{OUT} = 40 \times 30 \times 3.2 \times 10^{-4} = 0.384 \quad [pF]$$

$$C_{IN} = 10 \times 30 \times 8.2 \times 10^{-4} = 0.246 \quad [pF]$$

$$C_{Si} = 10 \times 40 \times 0.8 \times 10^{-4} = 0.032 \quad [pF]$$

$$R_{Si} = \frac{70}{10} \times 40 = 280 \quad [\Omega]$$

これらのパラメータを回路シミュレータのネットリストで指定してやることにより、トランジェント解析などの解析ができる。実際の LSI では複雑で大規模なので大変である。私が設計していた頃(1980年代)は、クリティカルパスや仕様で決められたパスのスピード等についてはレイアウト設計図面からパターン面積や長さを計測して回路シミュレーションをやっていた。

CMOS レイアウト設計法－3

(C) 2003 Sumiaki Takei

1. 配線遅延と改善法

通常の CMOS 論理回路では、論理回路の出力をアルミ配線やポリシリコン配線を使って次段に結線する。抵抗の低いアルミ層で目的のゲート入力まで配線を引き回せばよいが、そう出来ないパターン配置の場合が多い。そういった時には他のアルミ配線を横切るためにポリシリコン（又は拡散層配線）を長く引き回さなければならない。問題はアルミ配線に比べてポリシリコンのシート抵抗が高いことである。ポリシリコンのシート抵抗はアルミ配線に比べて2桁大きい値である。

ここで、シート抵抗について説明しておきます。LSI（大規模集積回路）設計では使われる材料の本質的な抵抗比較が容易なため配線抵抗などの見積もりにシート抵抗がよく使われます。

シート抵抗は長さLと幅Wが等しい抵抗体として定義されます。従って材料の抵抗率 ρ と深さ（厚さ）dで決まり、長さや幅には無関係になります。

この理由を説明しておきましょう。

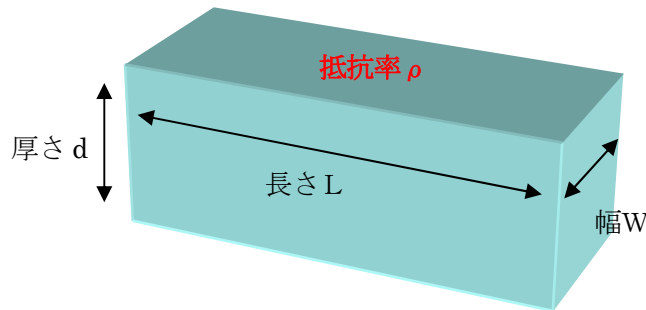


図 1 0 シート抵抗の考え方

図 1 0 における物質の抵抗Rは、断面積をSとすると次式で表される。

$$R = \rho L / S = \rho L / W d$$

シート抵抗の定義より $L = W$ であるから上式は次式のようになる。

$$\text{シート抵抗 } R_s = \rho / d \quad [\Omega / \square]$$

となりシート抵抗は、材料の抵抗率と深さで決まることがわかります。

今、下図のようにインバータの出力を次段のMOSゲートに入力したい場合、アルミ配線があるためポリシリコンで引き回して次段のゲートに入力する必要があります。論理回路的には合っているけど、スピード的に仕様を満足しているかは確認する必要があります。

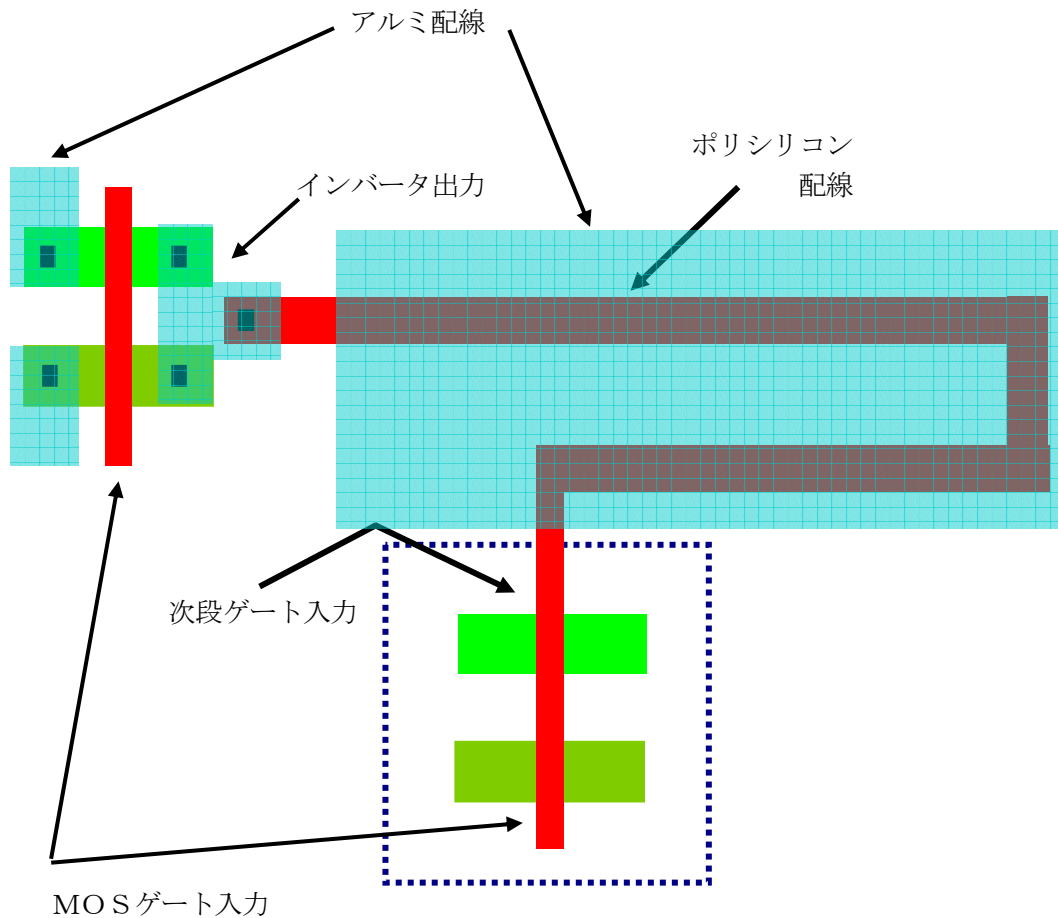
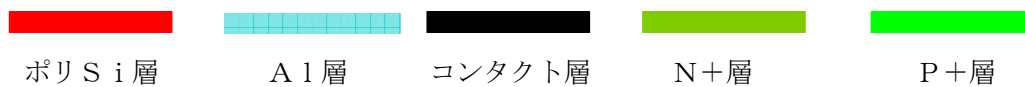


図11 改善前のレイアウト設計

上のレイアウト設計図における各層については、



製造工程から考えるとおかしい部分もあると思いますが、見やすさを考慮して描いています。レイアウト（パターン）設計の理解を深めるのが目的なのでご容赦願いたい。

図 1 1 に示したインバータ回路出力のポリシリコンの抵抗を計算してみよう。
シート抵抗を $500 [\Omega/\square]$ とする。引き回しているポリシリコンのパターンにおいて正方形がいくつあるかを計算する。
例えば下図のポリシリコン配線の場合、正方形が 4 つあるから $4 \times 500 = 2000 [\Omega]$ の抵抗値ということになります。



図 1 1 では、正方形が約 30 あるので配線抵抗は $30 \times 500 = 15000 [\Omega]$ 。配線抵抗が $15 [\text{k}\Omega]$ というのは直感的ではありますが大きな値だと思います。もちろん抵抗値や寄生容量値を読み取って（[前回の CMOS 回路レイアウト設計_2 を参照](#)）Spice 回路シミュレーションで、仕様を満足しているか確認して問題なければ図 1 1 のレイアウトパターンのままで設計していいわけです。
しかし、スピード的に厳しい場合は対策が必要になります。方法としては 3 つあります。

- ① 駆動インバータの駆動能力を高める。(W/L を大きくする。つまり gm を大きく。)
- ② 配線抵抗を下げる。配線幅を太くする。
- ③ **配線分割して駆動用回路（インバータ回路など）を挿入する。**

それぞれの対策について問題点も含めて簡単に説明しておきます。
回路の駆動能力を高める①の方法は配線抵抗・容量（寄生抵抗・容量）の充放電を早くするという意味でスピードアップが可能であるが、配線抵抗や容量値がある程度大きくなると効果がなくなる。W/L を大きくするため面積が増えるし、貫通電流が増加する可能性がある。

配線の幅を大きくする②の方法はよく使う方法である。ただし配線の CR 定数が支配的になると改善されなくなる。つまり配線の抵抗を小さくすることは、幅が大きくなり面積が増大する。その結果、配線容量が増え遅延時間が改善されなくなる
私が CMOS・LSI の設計をしていた頃（主に 1980 年代）は MOS トランジスタの ON 抵抗が遅延時間の抵抗性要素を支配していて、配線は MOS 抵抗と比べるとほぼ導体とみなせた。重要なのは寄生容量（配線容量・ゲート容量・ドレイン容量）の低減であった。
ところが微細化が進みチップが肥大化すると配線抵抗が MOS 抵抗と同等かそれ以上になってきた。このような状態では、伝播遅延時間は配線長の 2 乗に比例して大きくなると言われている。現在ではアルミ層を使った配線でさえその抵抗が無視できない状況になってきている。

最近の微細化 LSI では③の方法が使われている。目的のゲートまでの配線をいくつかに分割して駆動回路を挿入する方法である。（[図 1 2 参照](#)）
配線抵抗がいくらの時、配線をいくつに分割して駆動回路を挿入するかは専門の書籍に計算式が載っていますのでそちらを参考にしてください。いずれにしても最終的にはパターン設計したパラメータを読み取って Spice シミュレーションで遅延時間を確認する必要があります。

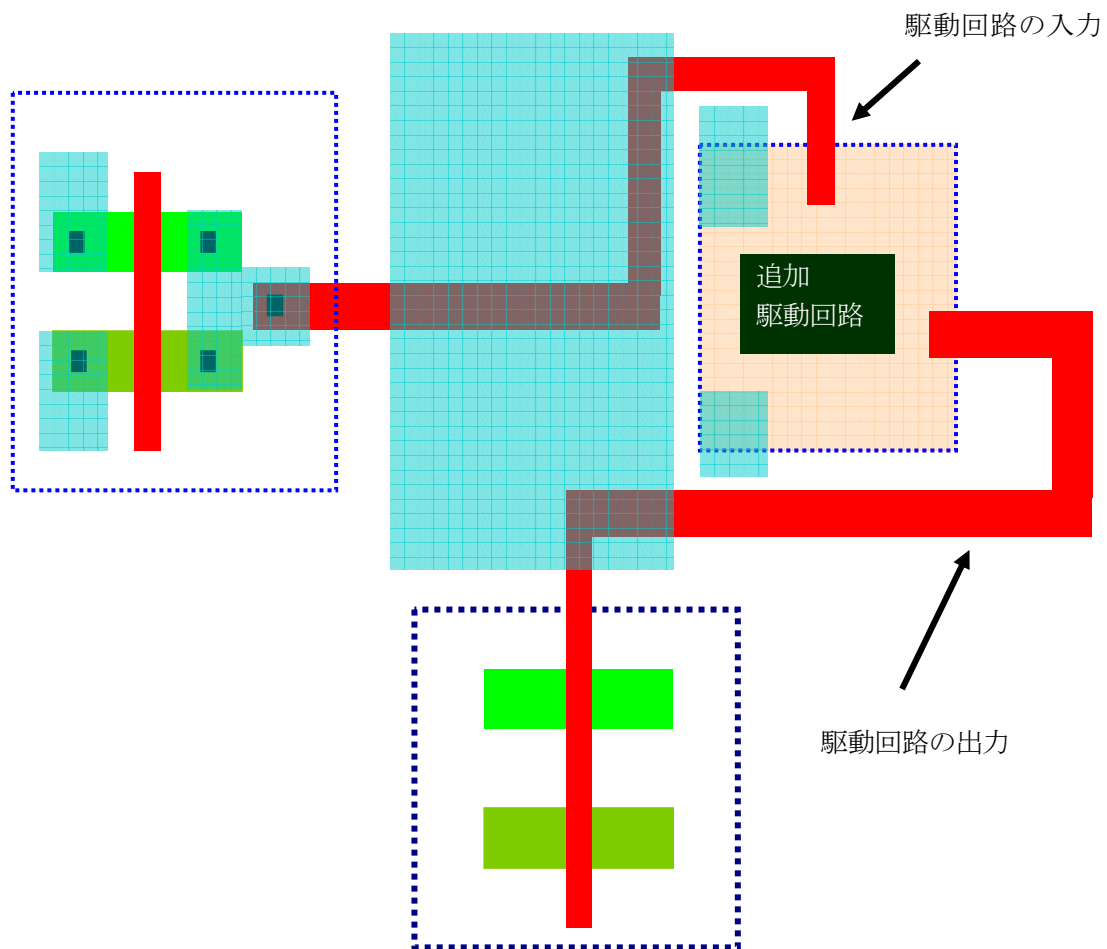


図12 改善後のレイアウト設計

2. 太いアルミ配線のレイアウト

チップの高集積化に伴いLSIの消費電力は増え続けている。チップの設計では消費電流の見積もりをワースト条件で行い、消費電流による電源配線の電圧降下を考慮したパターン設計・回路設計をする必要があります。

通常のLSIチップではチップ周辺に太い電源線を配置することが多い。ところが、周辺部の太いアルミ配線は樹脂封止などのパッケージングをした場合、強い応力が加わり保護膜にクラックが発生します。それによる耐湿性の低下、アルミ配線などの腐食が生じチップの劣化の原因になります。

この保護膜のクラックを防ぐ方法としてチップコーナー部にスリットを入れる方法があります。図13にチップの一部を示した。ボンディングパッド（電源端子）からチップ内部のゲート群に電源を供給すると同時に、チップ周辺に配置した電源アルミ配線のコーナー部分にスリットを挿入している。

ここでは詳細に紹介しませんが、パッケージによるチップへのストレスはD/A変換回路などの設計でも留意する必要があります。私の経験を少し紹介すると電流加算方式のD/A変換回路の重みを出すためのMOS配置において特定の重み付けのMOSだけにストレスが加わり出力の直線性が得られないという失敗経験がありました。ストレスが加わることでよりそのMOS群の g_m が他のMOSと違った値になるために起こった不良です。またいつか紹介します。

図13に示したスリットを入れるレイアウト設計は日立製作所の有償開放特許なので、使用の場合は実施許諾を得てください。（特開昭57-45259号）

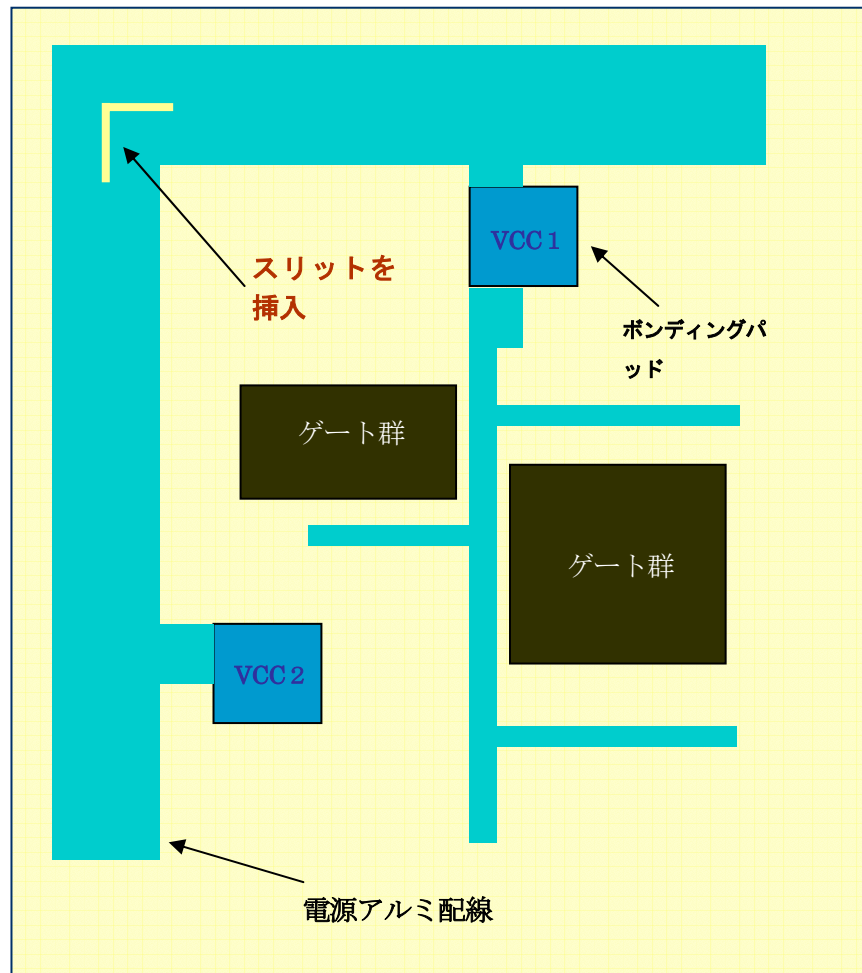


図13 太い周辺電源線のレイアウト設計

CMOS レイアウト設計法 - 4

(C) 2004 Sumiaki Takei

1 . MOS と静電破壊

半導体デバイスの静電破壊解析は、1968年にウォンシュとベルが電圧パルスによる静電破壊実験を行ったことに始まります。初期の MOSFET は保護回路が無かったため、ゲート酸化膜が静電気によってすぐ破壊されていました。最初の MOSFET は1962年 RCA により PMOS で実用化されその後デバイスの主流は NMOS から CMOS へと移りました。昔の MOSFET は人が IC のピンに触れると壊れるというイメージがありました。

2つの物体を接触させると電子やイオンの親和力が異なるため、2つの物体間に電子やイオンの移動が起こり片側が+ (プラス) もう一方が- (マイナス) に帯電した状態になる。物体を離すとその分離課程で一部の+電荷と-帯荷の再結合が起こるが、残りの電荷はそのまま残留し残留電荷が多いほど発生する静電気量も多くなります。人間の場合、着ている衣類等の摩擦で静電気が貯まりやすい。

人は単純な動きで1k ~ 20kVまで帯電します。また人間の静電容量Cbは100 ~ 200 pF、人体の抵抗Rbは500 ~ 2000 と言われています。
いま、人体がV=2000Vに帯電し、人体の静電容量Cb=100 pF、人体の抵抗Rb=1000 と仮定します。この時人体が持っている静電エネルギーWbは

$$Wb = \frac{1}{2} \times Cb \times Vb^2 = \frac{1}{2} \times 100 \times 10^{-12} \times 2000^2 = 0.2 \times 10^{-3} \text{ J}$$

放電時定数 t は

$$t = Cb \times Rb = 100 \times 10^{-12} \times 1000 = 0.1 \mu s$$

と算出されます。

放電時には0.1 μsの間に0.2 × 10⁻³ Jのエネルギー、つまり

$$0.2 \times 10^{-3} / 10^{-7} = 2000 \text{ J/s} = 2 \text{ kW}$$

のエネルギーを消費することになります。このエネルギーは、ICの小さな領域を破壊するには充分です。

2 . 静電破壊モード

MOSが静電破壊で壊れる要因には主に3種類がある。これらの破壊に対してはそれぞれ回路やレイアウトパターンでの対策方法があり、ここではその一部を紹介します。

- 1 . **ゲート酸化膜破壊** ----- ゲート酸化膜に高電圧が印加された場合、キャリアがゲート酸化膜に衝突し、その時に放電される熱エネルギーにより酸化膜が溶解し導電経路が形成され絶縁性が破壊される。高電圧がLSIのピンに印加されてもLSI内部でゲート酸化膜に直接、破壊耐圧を超えるような電圧が印加されないような回路・パターン配置が必要である。
MOSFETの熱酸化膜の絶縁破壊耐圧は **30 ~ 150 V / 1000** 程度と言われている。この破壊強度は酸化膜の欠陥プロファイルによって異なる。
- 2 . **接合破壊** ----- 入力保護回路や出力部の拡散層（P⁺N, N⁺P）の接合に過大な電流が流れた場合、局所的に電力消費が大きくなり接合が破壊されてしまう。また、接合が浅い場合、コンタクト部のアルミ配線が拡散層に進入していき破壊を大きくする。
接合破壊を起こさせないためには、接合部の面積、コンタクト配置並びにダイオードの直列抵抗等を十分に考慮したパターン設計が必要である。
- 3 . **配線溶断** ----- 入力ノイズの電源配線へのリークパス上においてアルミ配線やポリシリコン配線等に許容電流密度以上に電流が流れた場合、配線が溶断する。ノイズリークパスを考慮したレイアウト並びに配線幅が必要である。
アルミ配線の許容電流は、2 μ CMOSプロセスで**約 0.5 ~ 2 mA / μ m**（配線幅）程度と言われている。

上記に示した破壊要因のうち最も弱い部分で破壊され、その時の印加するノイズの電圧がそのLSIの静電破壊耐圧ということになる。

3 . CMOS 静電破壊対策レイアウト設計

入力保護回路レイアウトパターン設計例

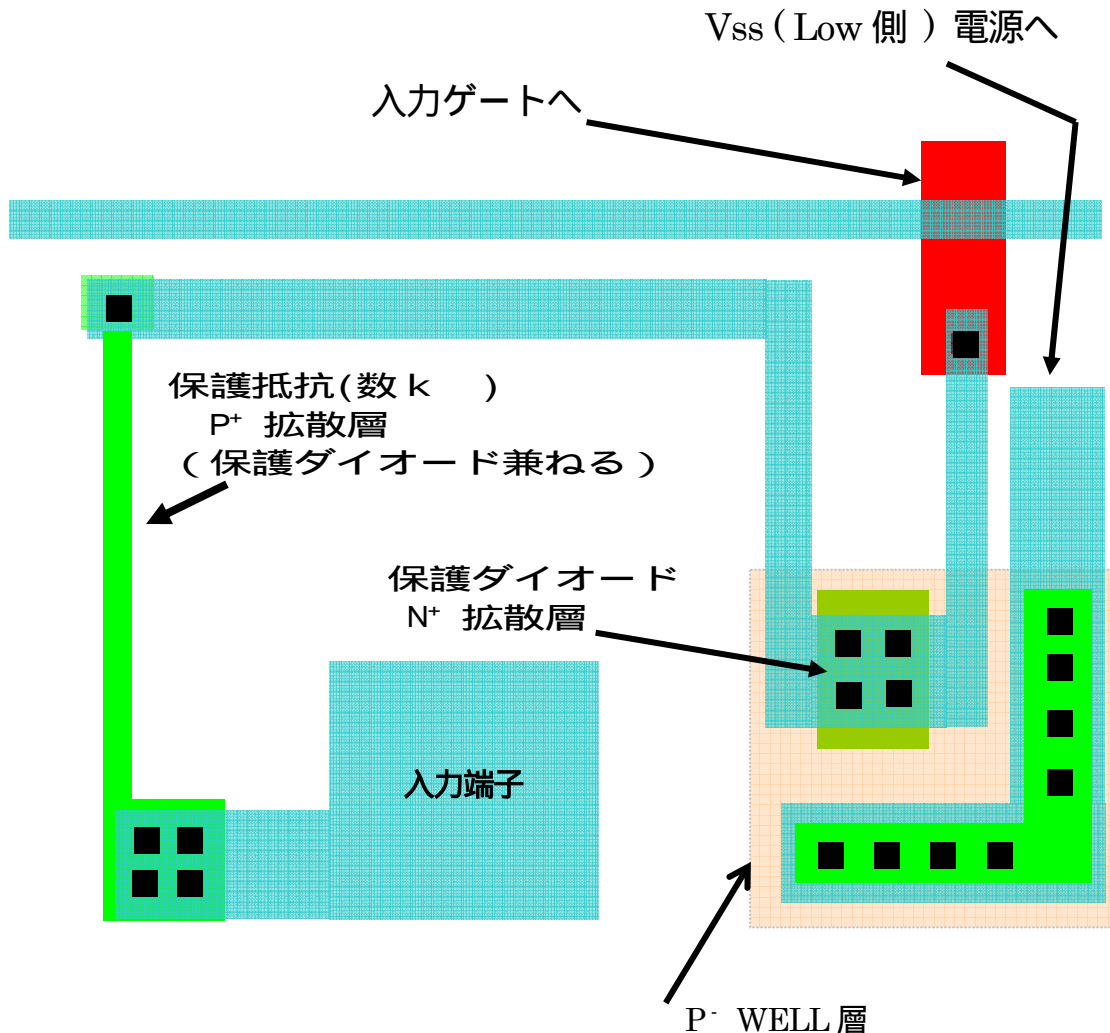
以下のレイアウト設計図における各層については、



製造工程から考えると層の上下関係等おかしな部分もあると思いますが、見やすさを考慮して描いています。レイアウト（パターン）設計の理解を深めるのが目的なのでご容赦願いたい。

入力保護回路レイアウト例 - 1 ----- 拡散層保護抵抗 (P^+) + クランプダイオード (N^+)

の組み合わせ。CMOS・5 μ プロセス (N基板) 時代に電卓、時計などで使われていた。基本的には入力端子からノイズが印加された場合、抵抗成分で入力ノイズを鈍らせ、その間 P^+ 拡散層 (保護抵抗を兼ねる) と N^+ 拡散層のどちらかのクランプダイオードがONしてノイズを電源ラインにリークさせようという考えである。



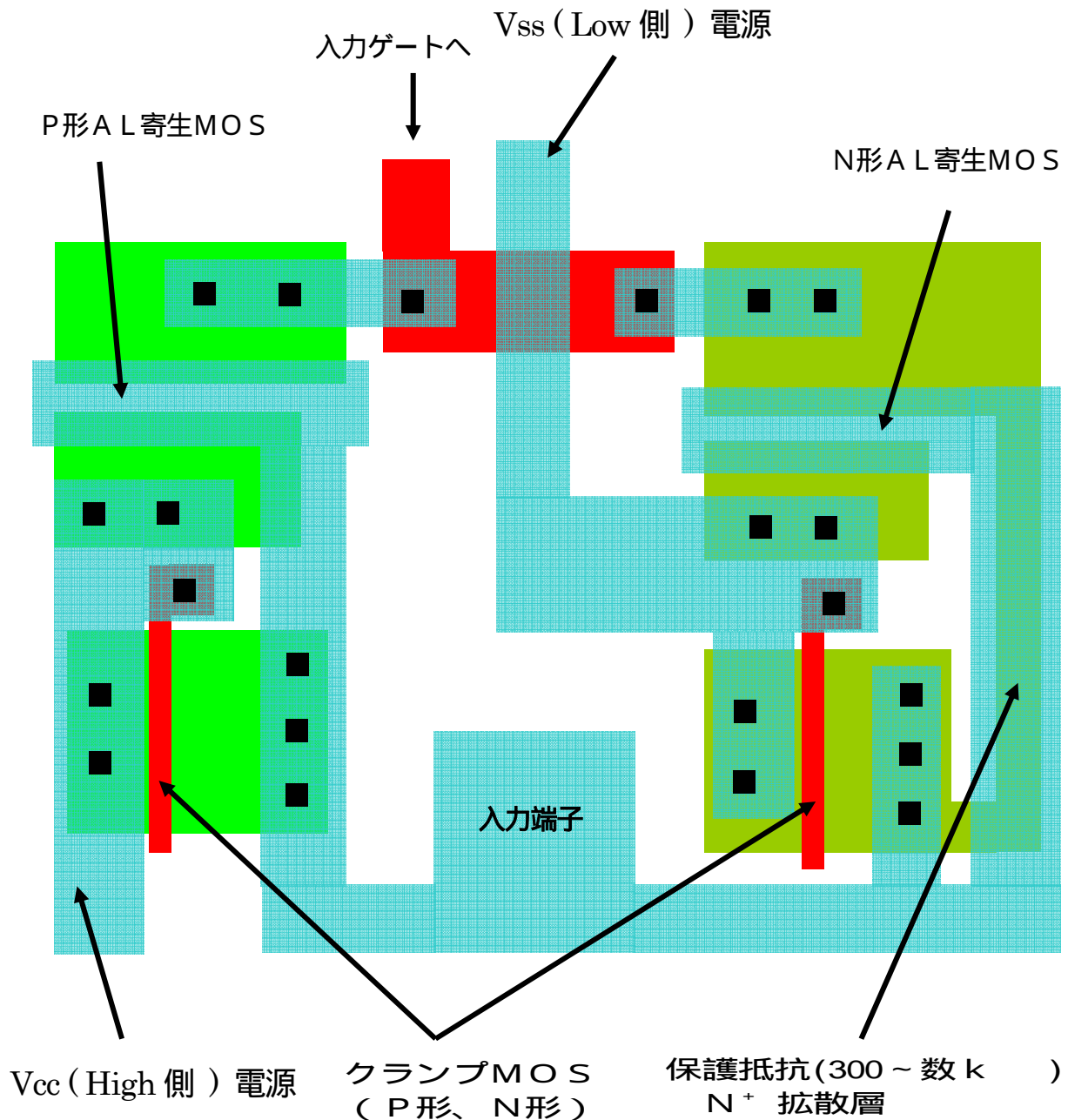
私が1980年代の初めに設計していたCMOS 5 μ プロセス時代にはこのようなレイアウトが一般的であった。保護抵抗の抵抗値をどの程度にするのか、保護ダイオードの大きさをどの程度にするのかなどは各会社のノウハウであった。

このレイアウトでは保護回路のレイアウト設計をわかりやすく表現するために、ラッチアップ対策についてはほとんど示されていないことに留意して下さい。

WELLの周りにはなるべく多くの P^+ 拡散層のコンタクトを取って Low 側の電源に接続しラッチアップ対策をする必要があります。また、ここでは示していませんが上記と同じ理由で、保護抵抗の周りには N^+ 拡散層で基板電位 (High 側) に接続する必要があります。

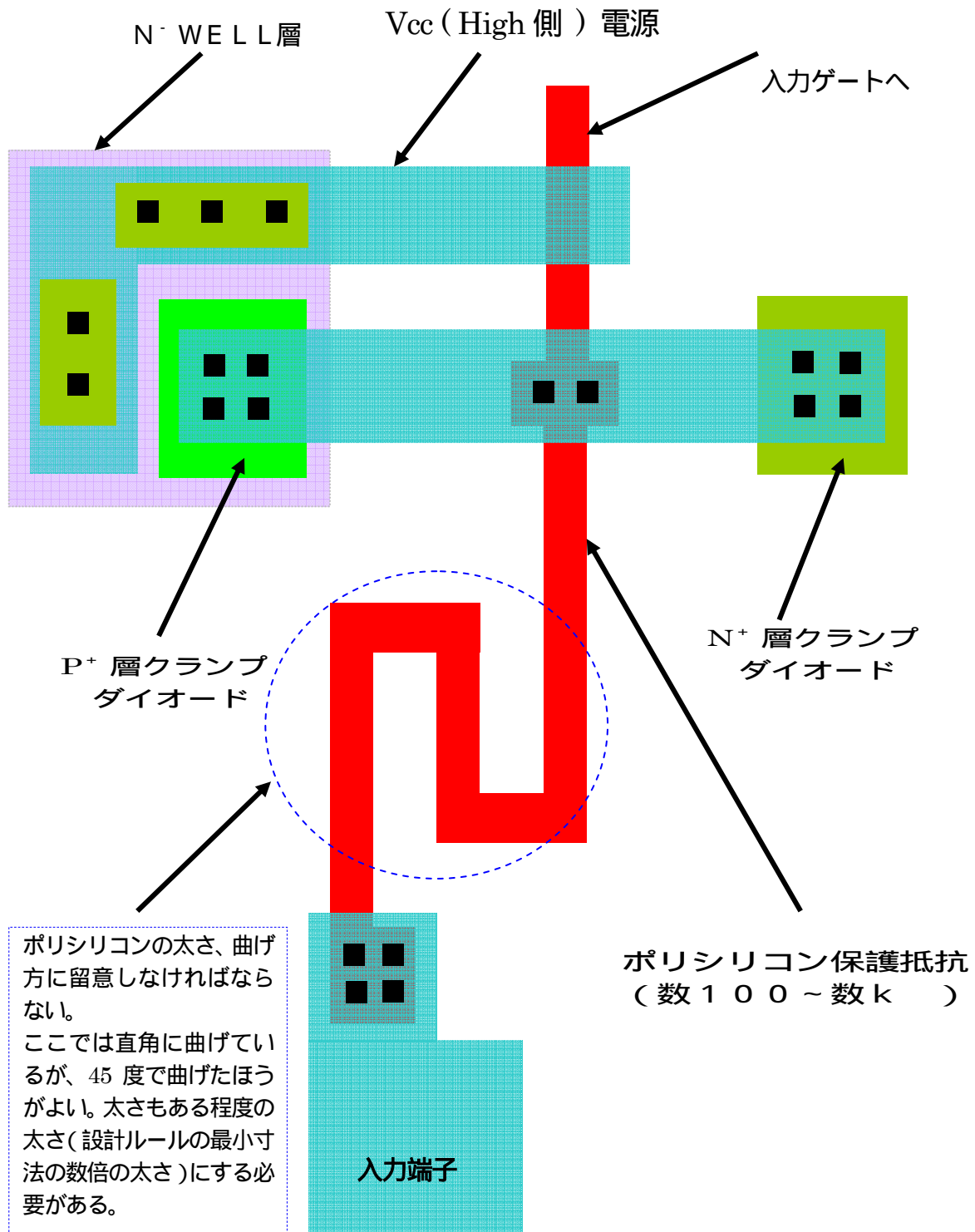
入力保護回路レイアウト例 - 2 ----- 拡散層保護抵抗 (N⁺) + クランプダイオード

(P⁺とN⁺層) + クランプMOS (CMOS + アルミ寄生MOS) の組み合わせ。CMOS・2 μ プロセス時代にマイコン、液晶ドライバー、RAMなどで使われていた。
クランプMOSのドレイン側は十分な接合面積を確保し、接合部分並びにクランプMOSのゲートが破壊されないように、コンタクトの分散配置、数を考慮する必要がある。この図もラッチアップ対策は表記していませんので留意して下さい。

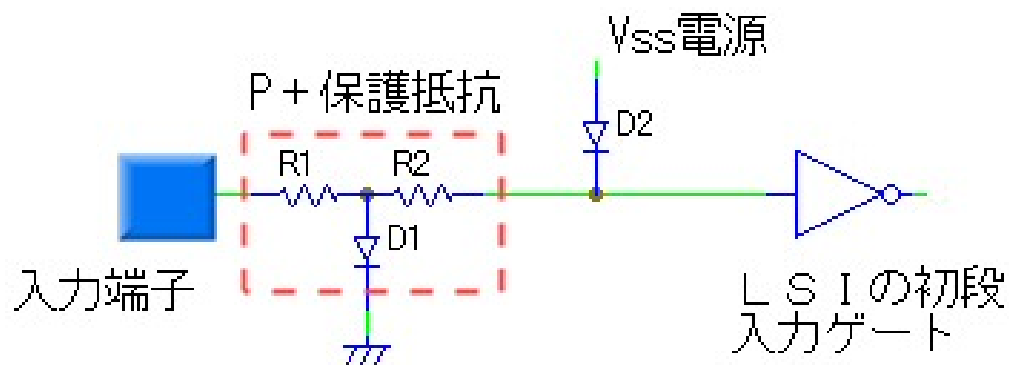


入力保護回路レイアウト例 - 3 ----- ポリシリコン保護抵抗 + クランプダイオード

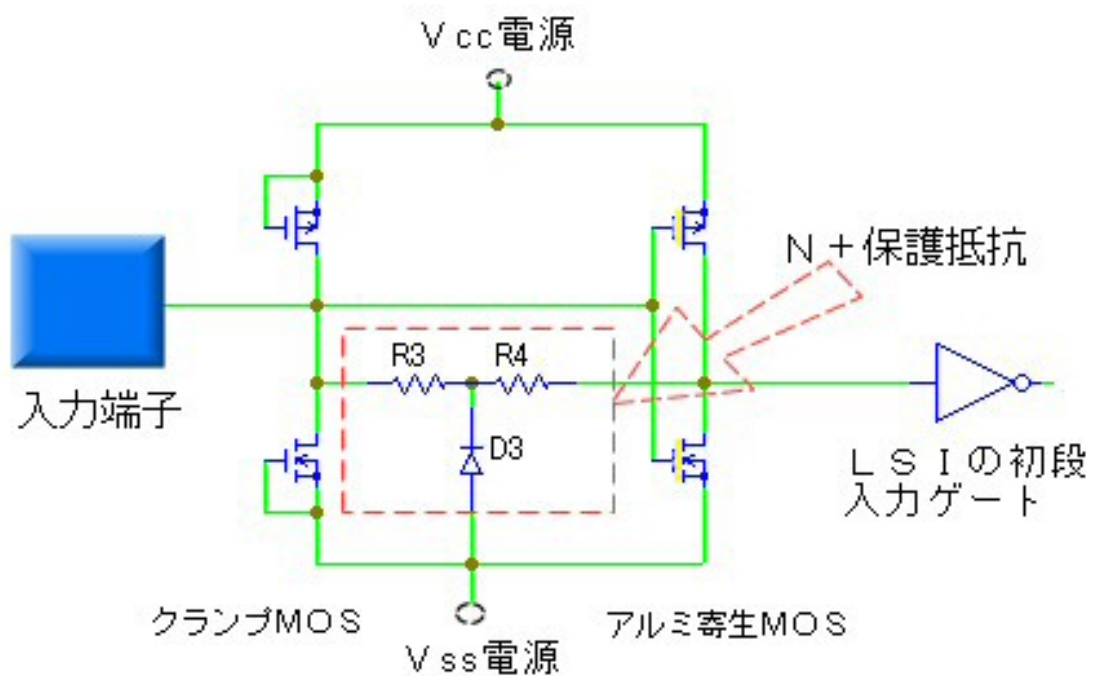
(P^+ と N^+ 層)の組み合わせ。CMOS・ 2μ プロセス(P基板)時代にSRAMなどで使われていた。保護抵抗の素材にポリシリコンを使うことにより設計の自由度が増す。拡散層を使わないので特にラッチアップに強くなることが予想される。ただ、保護抵抗の素材ではポリシリコンより拡散層を使った抵抗のほうが静電破壊耐圧が高いと言われている。



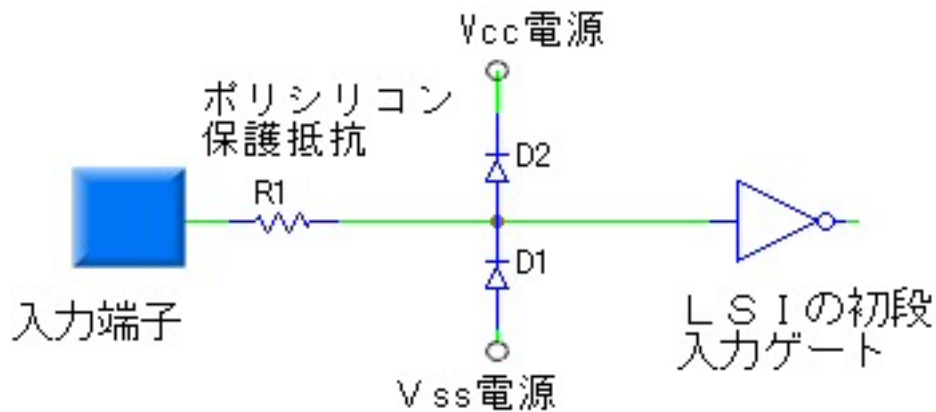
入力保護回路 上記のレイアウト図を回路図で示します。レイアウトパターンと見比べながら確認するといいいでしょう。



入力保護回路レイアウト例 - 1 回路図



入力保護回路レイアウト例 - 2 回路図



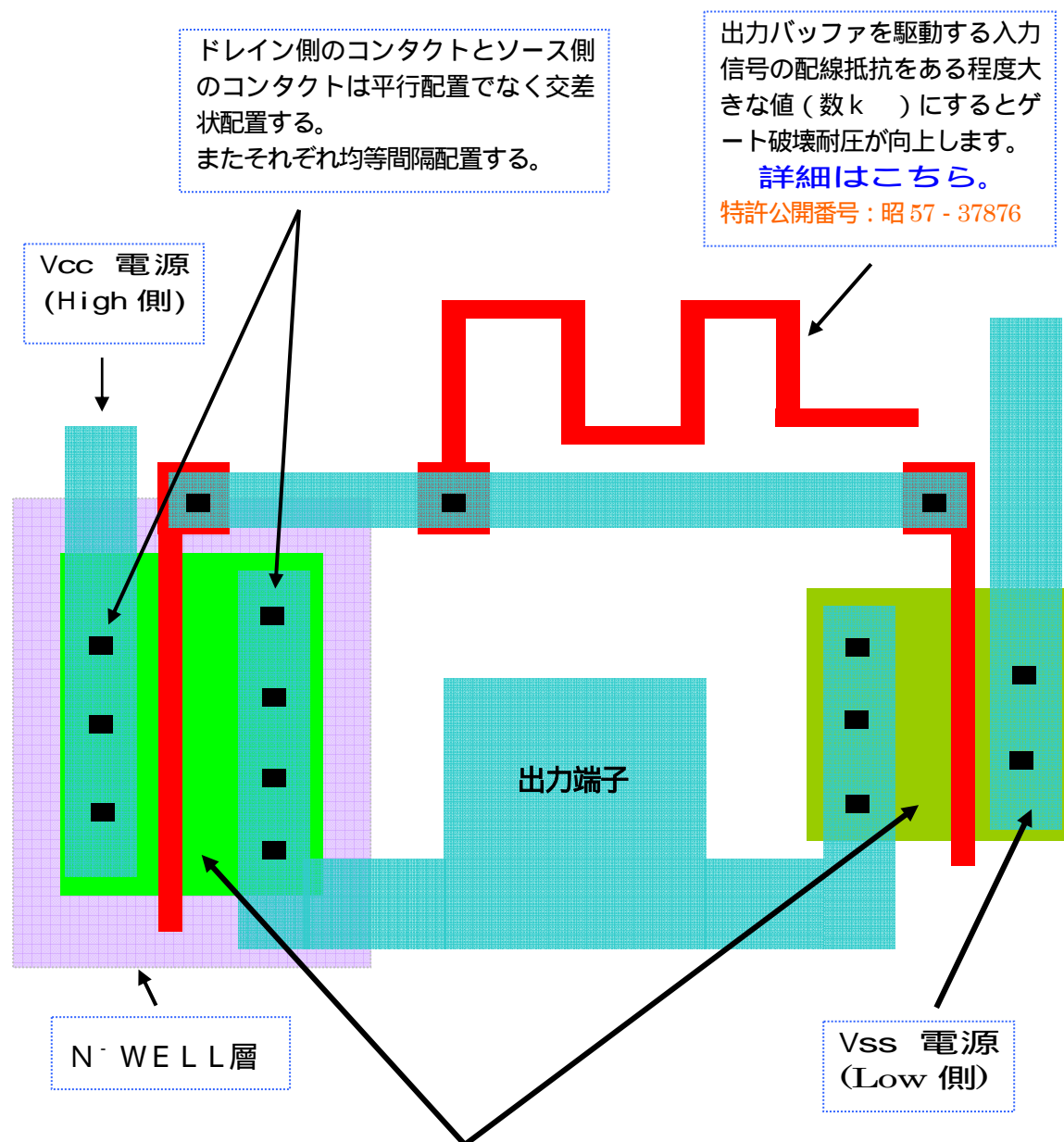
入力保護回路レイアウト例 - 3 回路図

出力保護回路レイアウトパターン設計例

出力回路における静電破壊対策のレイアウト法については、一般の書籍ではほとんど書かれていない。ここでは私の経験（古いですが）を少し紹介します。
 基本的には 出力回路のドレイン面積を大きくする。 出力回路のゲートとドレインのコンタクト間の距離を確保する。 ドレイン抵抗（出力抵抗）を付ける。 出力回路のソースとドレインのコンタクトを交差状に配置する。 出力バッファの入力信号配線の抵抗値を数k 付ける。

出力保護回路レイアウト例 ----- 上記 から を踏まえてレイアウトをする必要があります。ドレイン面積が大きい場合は、比較的静電破壊耐圧が大きいですが、ドレイン面積が小さい（電流駆動能力が小さい）バッファの場合は、出力側に抵抗（ドレイン抵抗）を付加する。ただ、製品仕様の出力電流値がワーストケース（温度、電圧並びに寸法バラツキ）でも下回らないように、十分に検討して設計する必要があります。

下図ではCMOSインバータタイプ（P基板）の出力バッファについて留意点を示します。



出力バッファのドレイン面積は大きいほど静電破壊耐圧は大きい。ジャンクション破壊とゲート破壊の両方に効果がある。チップ面積を考慮しながら出来るだけ大きくしたい。コンタクトの数も多くとり均等配置する。またドレイン側のコンタクトとゲートは出来るだけ距離を確保する。これらの対策をするとドレイン容量（出力寄生容量）が増えるので動作スピード等を充分検討する必要がある。

また、ノイズリークパスである電源ラインの太さやレイアウトも充分考慮する必要がある。出力バッファの駆動能力が小さい（ドレイン面積が小さい）場合はドレインのコンタクトとゲート間の距離をより長くして数10 ～ 数100 の抵抗が付加されるようにレイアウトする必要がある。もちろんその場合も動作スピードを確認する必要がある。
この出力回路においてもラッチアップ対策のパターンは省略していることに留意して下さい。

CMOS レイアウト設計法－5

(ノイズと特性バラツキをおさえる CMOS レイアウト設計法)

(C) 2007 Sumiaki Takei

1. IC のノイズ対策

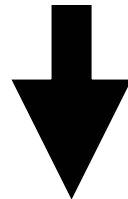
CMOS回路では微細加工技術の進歩によりデジタル回路とアナログ回路の両方を混載して、1チップ化したLSIが増えてきた。昨今では、携帯電話用の高周波1チップCMOSLSIが頻繁に話題になる。

しかし、混載した場合、デジタル回路のノイズがアナログ回路へ混入し、S/N比が悪くなり誤動作を起こす原因となっている。デジタル回路はパルスの変化点ごとに発生する雑音源であるので回路的並びにレイアウト的に十分な対策が必要である。

ノイズの原因は、CMOSの貫通電流や消費電流による電源線の電位変動（抵抗性によるものとインダクタンスによるものがある）、寄生コンデンサによる信号のカップリングノイズ等があり、各々の原因に対してそれぞれ対策が必要である。

デジタル回路からアナログ回路へのノイズの加入経路としては

- ① 電源線からのノイズ（アルミ電源配線やウェルなどを通して混入）
- ② IC内のデジタル信号配線とアナログ信号配線間のカップリングノイズ
- ③ ICの入出力端子（パッド）やボンディングワイヤ並びにリードフレームのピン間のカップリングノイズ



対 策

(図1のチップ図参照)

①の対策としては

- 電源配線を太くして配線抵抗を下げる。
- デジタル用とアナログ用の電源配線をはっきり分けて配置する。できれば電源端子も別々に配置する。
- デジタル回路とアナログ回路のウェルを共通にしない。（図1のP⁺のガードリング）
また、基盤に対して電源電位に固定するためのN⁺ガードリングのコンタクトをアナログGNDからとる。
- デジタル回路とアナログ回路の配置はなるべく離し、その間にはガードリングを配して容量結合を妨げる。

②の対策としては

- デジタル回路部の配線とアナログ回路部の配線を並列に配置したり、交差させたりしない。どうしても並列配置する場合は、間に電位の固定した配線（例えば電源線）を配置したり配線の距離を離す。

③の対策としては

- デジタル回路の端子とアナログ回路の端子を隣接配置しない。また、端子間に電位の安定したダミー端子（電源線と固定）を配置する。
- ボンディングワイヤ間やリードフレームのピン間の距離を離す。（パッケージ設計）



※ 下図はN基盤、Pウェル構造の場合のチップ図面

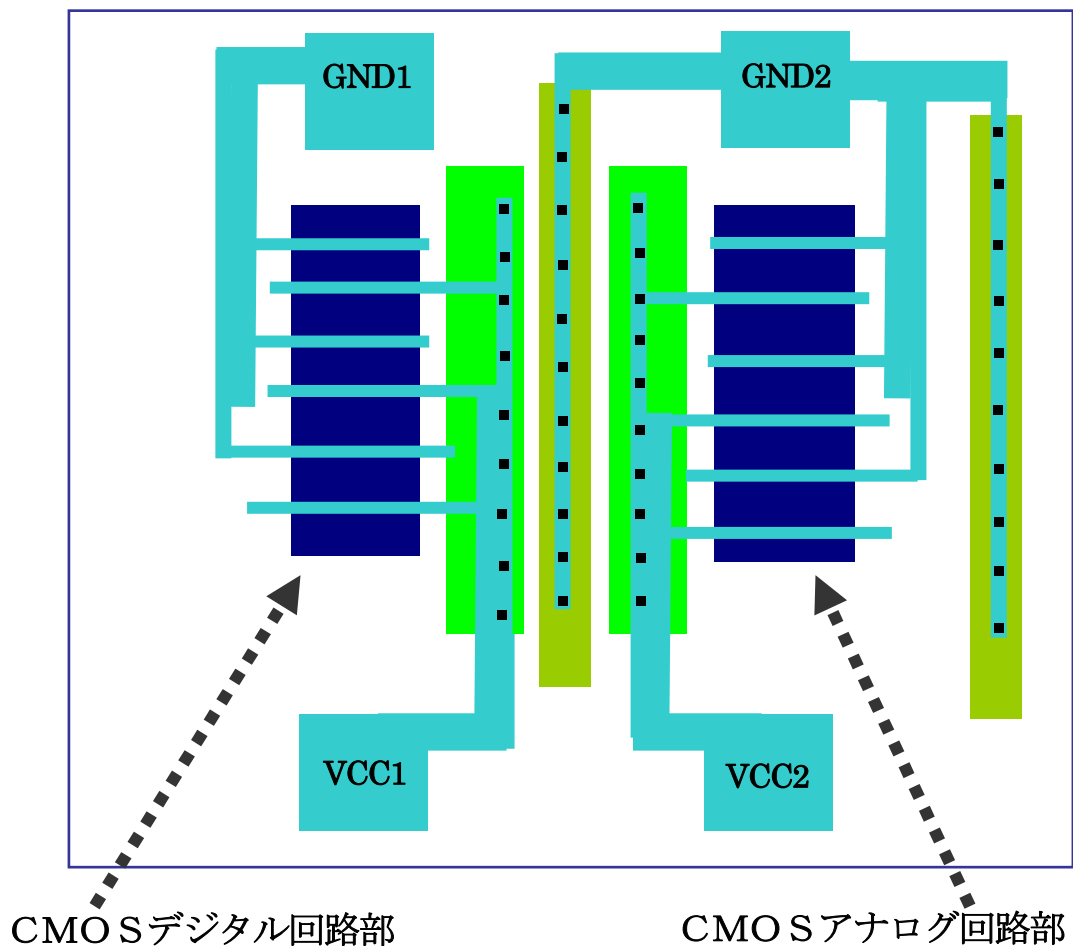


図 1 デジタルーアナログ混載チップのノイズ対策

●基盤ノイズ対策（ガードリング）

基盤上に形成されたアナログ回路は、デジタル回路部で発生したトランジェントノイズ（基板ノイズ）によりS/N比が下がり誤動作する場合があります。基盤ノイズから感度の高いアナログ部分を分離するためにはガードリングの配置が有効である。

ガードリングは基盤または、Pウェルに生じた電荷をGND（または電源ライン）に導くための低インピーダンス（N⁺拡散層またはP⁺拡散層）の経路である。チップのレイアウト設計では、図1のようにGND端子とVCC端子はそれぞれデジタル用とアナログ用に分けて配置するべきである。

基盤とGND端子との接続は少し留意する点がある。どちらのGND端子と接続するのか、または両方のGND端子と接続していいのか。

図1におけるGND1とGND2端子の両方をガードバンドで基盤に接続すると、アナログ回路部とデジタル回路部の両者間に低インピーダンスの経路を作ることになりGNDの分離の意味が損なわれる。一般的にはアナログGNDと基盤電位が同一に動くことを保障するためにアナログGNDと基盤に接続するべきだと言われている。ただ各チップによって環境（設計仕様など）が違うわけだから、SPICEなどのシミュレータでノイズの大きさを検証して決めるべきであろう。

もう少し具体的に見ていこう。（図2参照）

デジタルクロック配線とシリコン基盤の間には寄生キャパシタ（MOS）があります。デジタル回路のクロック信号が急峻に変化した場合、寄生キャパシタが放電され、配線下に蓄積していた電子が放出されます。放出された電子は基盤の中を流れ、抵抗成分により基盤電位が変動し、アナログ部の配線の寄生キャパシタを介してアナログ信号線にノイズを誘起します。同様にMOSのドレインの変動によってもPN接合に蓄積した電子が基盤中に放出されます。ノイズ源からこの基盤内に放出された大半の電子を吸い取る働きをするのがガードリングである。

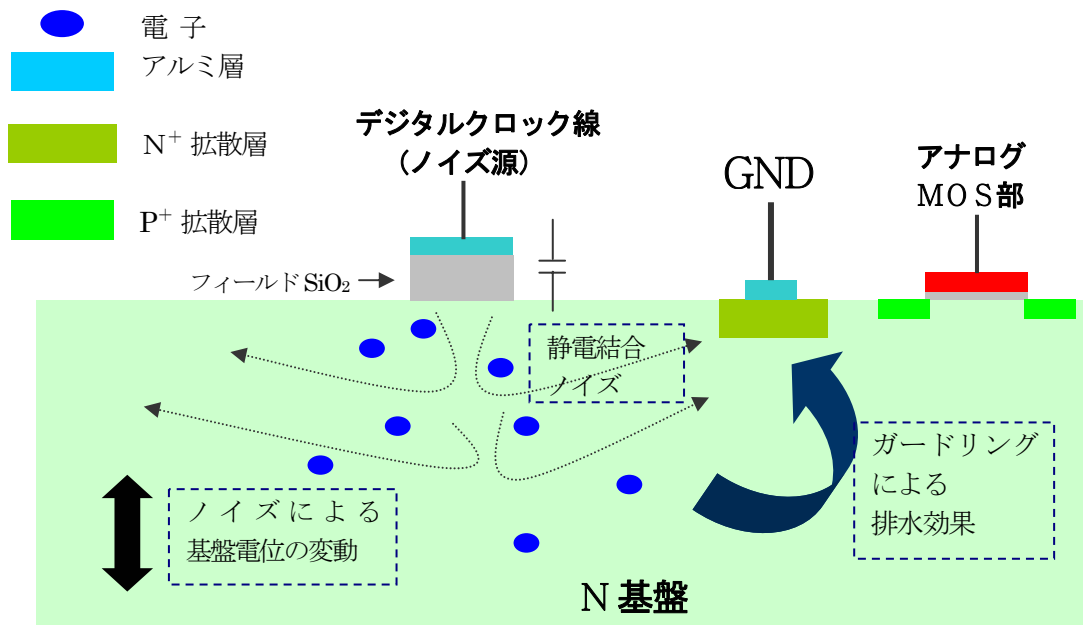


図2 基盤ノイズを防ぐガードバンド

2. 素子特性のバラツキ対策レイアウト法

●パッケージングによるチップへの応力を考慮したレイアウト

チップをモールド等によりパッケージングした場合、特にチップ周辺には大きな応力がかかる。周辺部に配置したMOSトランジスタとチップ中央部分に配置したMOSトランジスタでは、チップへの応力の大きさがちがうので、MOS特性（ドレイン電流など）が異なる。回路設計時にこの影響の度合いを考慮することは困難である。正確な特性が要求されるような回路ブロックはチップへの強い応力の影響を受けにくいチップ中央への配置が望ましい。

抵抗ラダーを利用した電流加算型D/A変換回路（それぞれの桁の重みに相当する電流値を、抵抗値で重み付けしてやるもの）において、抵抗をCMOSトランジスタで構成する場合のトランジスタ配置においても、チップ応力を考慮する必要がある。基本抵抗（最下位ビット）に対して、2個、4個、8個、16個・・・とMOSトランジスタをレイアウトする時に、応力が各重みのCMOSトランジスタ群に均等にかかるような配置が望ましい。下図に悪いレイアウトと良いレイアウト例を示した。

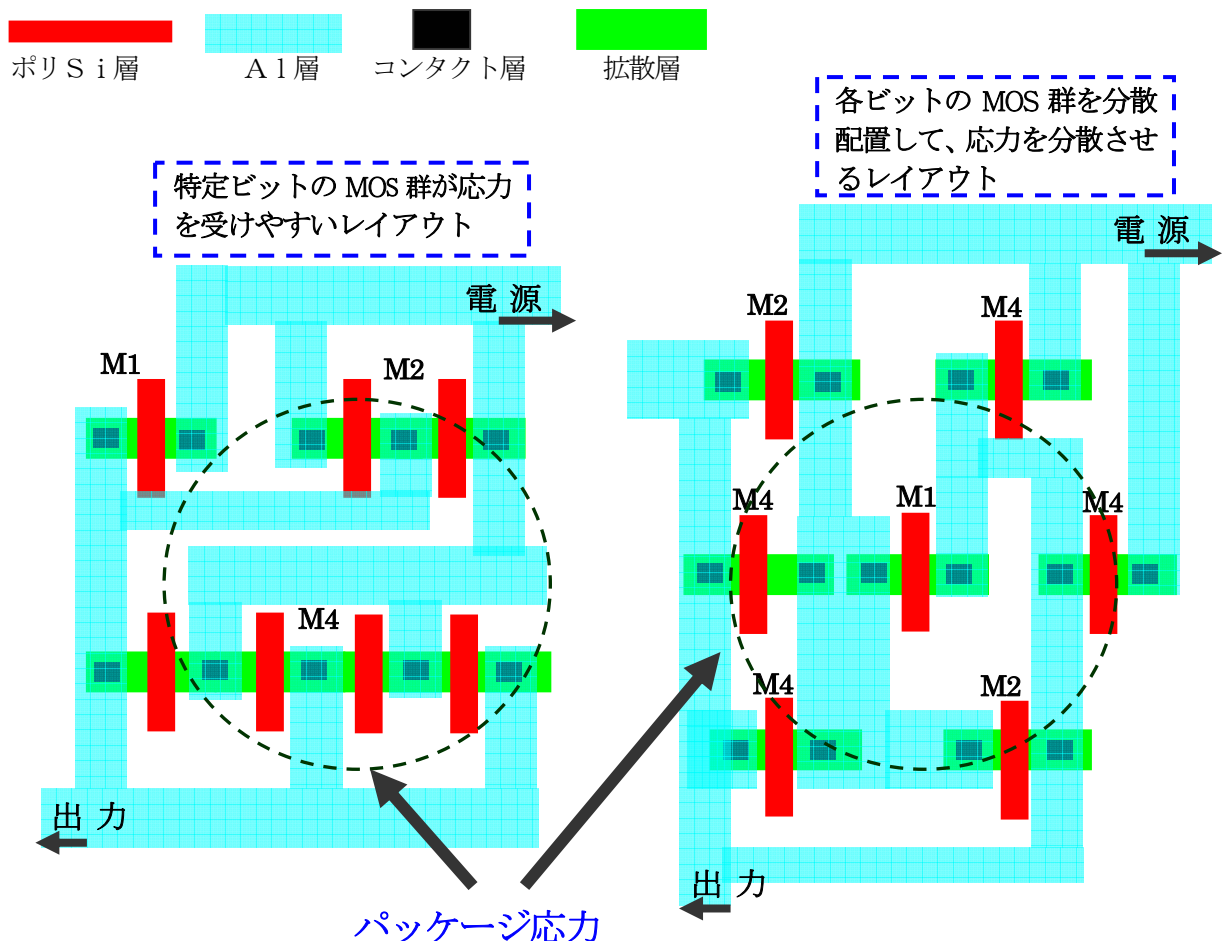


図3 パッケージ応力による MOS 特性のバラツキ防止レイアウト

● ゲート投影効果による特性バラツキを防止するレイアウト法

CMOS の製造におけるイオン打ち込み工程では、**チャネリング**を防止するためにウェーハ面を 7° ほど傾けて注入を行う。その結果、ソースまたはドレイン端部における細い帯状の領域へのイオン注入が減少することになり、イオン注入領域がアニールされた後のソース・ドレイン間の横方向拡散にわずかな非対称性を生成することになる。(ゲート投影効果)

※**チャネリング**とは、

注入されたイオンが、原子配列の隙間を通して Si 基板の深い位置まで達することをチャネリング現象といいます。イオンビームを結晶軸や結晶面に沿って注入すると、Si 結晶の奥深くまで侵入する。基板の面方位、入射角度、イオンの種類、エネルギー等でチャネリング現象は、影響を受ける。チャネリングを防止するため、面方位 $\langle 100 \rangle$ 基板では、注入の角度を 7° 傾斜させる。イオンビームが結晶軸と一直線になったらイオンはウェーハ内に非常に深く侵入する。このため注入軸と結晶軸が一直線にならないようにし、プロファイルの予測を確実なものにする。

図4にゲート投影効果の原理を示した。MOS のソースとドレインのゲートとのオーバーラップ容量が非対称になることにより、差動回路などのペアMOS では特性の差が出て動作精度が悪くなる。

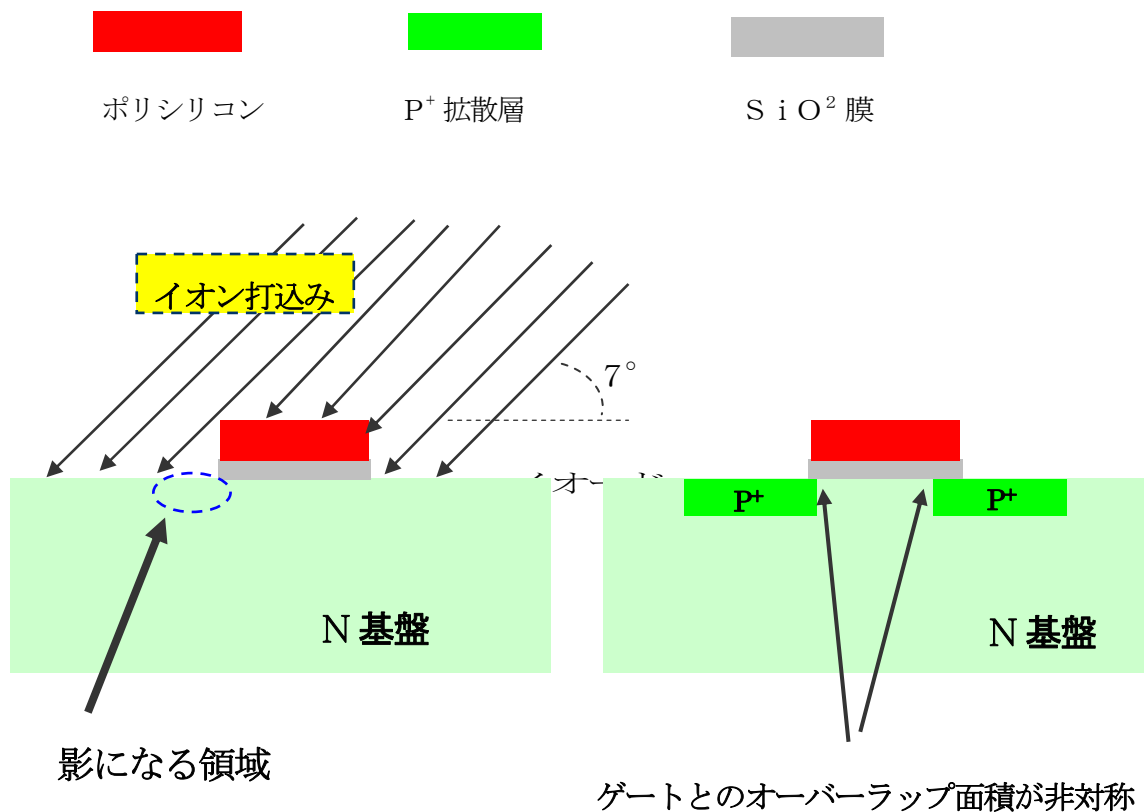
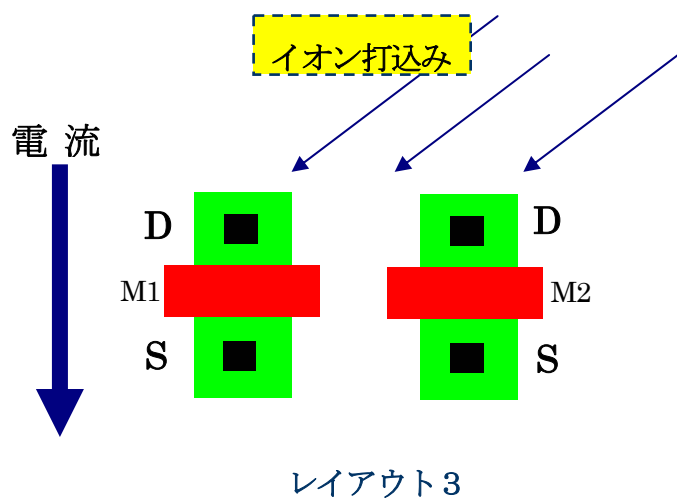
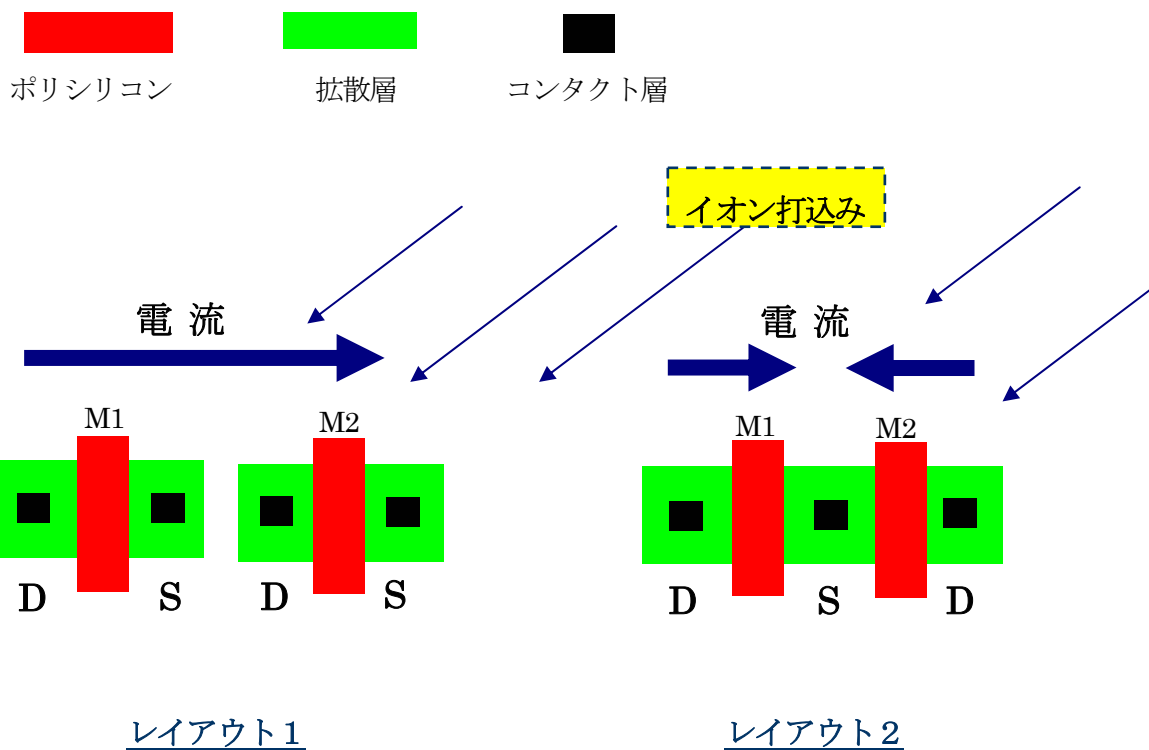


図4 ゲート投影効果によるオーバーラップ面積の非対称現象

レイアウト例をみてわかる通りペア MOS の配置は同じ方向で配置するのが基本である。なぜなら、リソグラフィーやウェーハプロセスの多くの工程は異なる方向には異なる振る舞いをするからである。

それでは、このゲート投影効果を軽減させるレイアウトはどうすればいいのか。ペアMOSを1組レイアウトした例を下図に3組示した。どれが一番ゲート投影効果を受けにくいと考えてみよう。



それぞれのレイアウトについて、解説しましょう。まず、それぞれのレイアウト例に電流の向きが書いてあり、D、Sつまりドレイン・ソースが記入してあります。どちらがソースでどちらがドレインなのかという疑問を持った方がいるでしょう。

答えは簡単です。**MOS回路で電流の流れる向き、その向きがドレイン → ソース**です。

レイアウト1はM1、M2ともに左がドレイン、右側がソースなのでイオン打ち込みによるゲートオーバーラップ容量の違いの影響は均等に影響する。しかし、M1とM2の周辺環境の違いから対称性は崩れている。

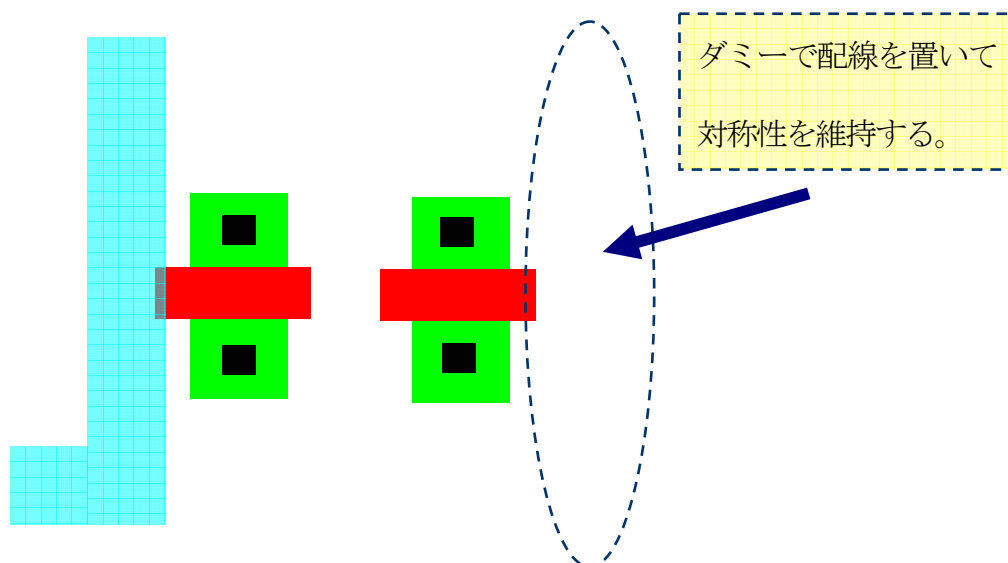
M1のソース領域から右側にM2が見えるが、M2のソース領域から右側はフィールド酸化膜しか見えません。逆にドレインを見ると、M1のドレイン領域の左側はフィールド領域しか見えませんが、M2のドレイン領域の左側はM1が見えます。つまり、M1とM2の**周辺環境**が異なっているということで、対称性が崩れています。

レイアウト2はM1、M2の左側と右側を比べた場合、M1の左側がドレインなのに、M2の左側はソースになっている。右側についても同様に異なる。左側にゲート投影効果が出るので、M1とM2のソース・ドレインのオーバーラップ容量が異なることになり対称性が崩れる。

レイアウト的には小さくなる配置なので、特性の対称性が特に求められない回路では優れたレイアウトである。

レイアウト3がこの中では一番良好なレイアウトである。M1、M2ともに上側がドレイン、下側がソースなのでイオン打ち込みによるゲートオーバーラップ容量の違いの影響は均等に影響するので、対称性が確保できる。

しかし、下図のようにアルミ配線が片側だけ配置されている場合は、対称位置にダミーのアルミ層（同じパターン）を配置して対称性を維持する必要がある。



●マルチフィンガーとローディング効果対策のレイアウト法

ローディング効果とは、MOSの多結晶シリコン膜を反応性イオン・エッチング装置で切り出す時、多結晶シリコン・パターンの密度が高い領域ではエッチング粒子の消耗が激しく、エッチングする速度が遅くなります。この現象をローディング効果と呼んでいます。

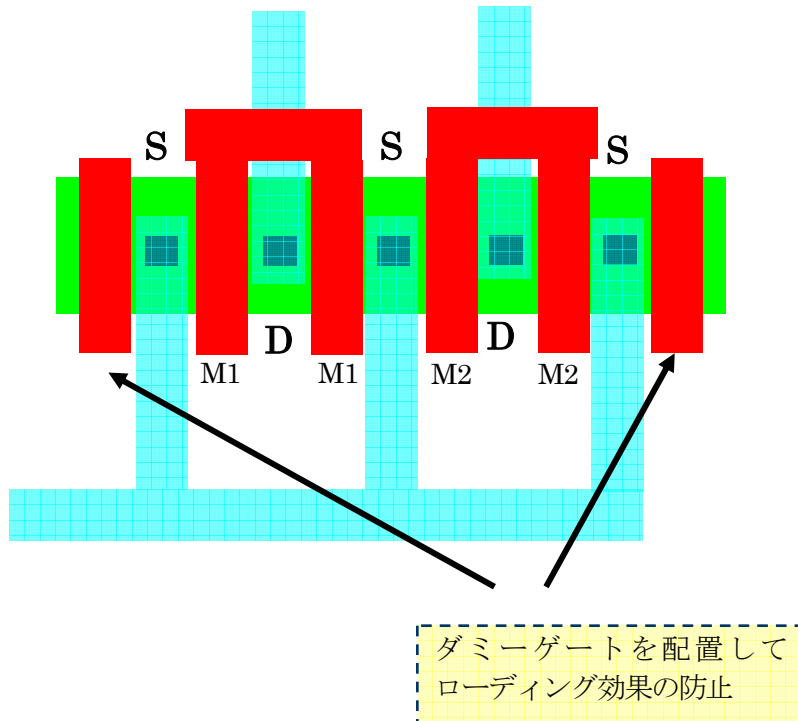
ペアMOSの特性の均等性が求められる場合は、ゲート形状に差が出ないようなレイアウト設計が必要です（**レイアウト4参照**）。エッチング粒子の流入が左右のMOSで均等になるようにダミーゲートを配置しています。

このレイアウトは、ペアMOSを2つに分割して配置しており、先ほどのゲート投影効果の影響も均等になるように考慮されて配置されていることがわかんと思います。このようにゲートを分割配置することをマルチフィンガー（インタデジタイゼーションと呼ぶこともある）という。

一般に差動MOSのサイズ（W/L）は大きい場合が多い。ゲート抵抗を減らすためにいくつか分割レイアウトすることが求められる。ただ、ソース・ドレインの周囲長につく容量が増加することを念頭に置いておく必要がある。どれくらいに分割するかはSPICE等のシミュレーションでトランジェント特性、AC特性等を確認しながらになると思うが概算で言えば、

- ・分割したゲート抵抗 $R_f < (1 / \text{分割ゲート全体の伝達コンダクタンス})$
- ・分割したゲート抵抗 $R_f \approx (1 / 10 \cdot g_m)$

分割ゲートのそれぞれのチャネル幅 W の設定



レイアウト4

GND

Ti

Vdisp

LS4

LS3

LS2

LS1

FB31

FB32

FB33

FB34

FB35

FB36

FB37

FB38

FB39

FB40

FB41

FB42

FB43

FB44

FB45

FB31

FB32

FB33

FB34

FB35

FB36

FB37

FB38

FB39

FB40

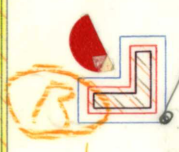
FB41

FB42

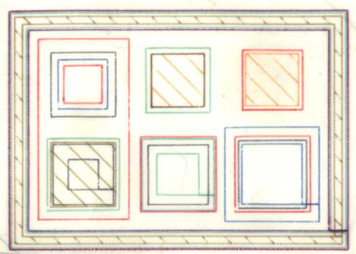
FB43

FB44

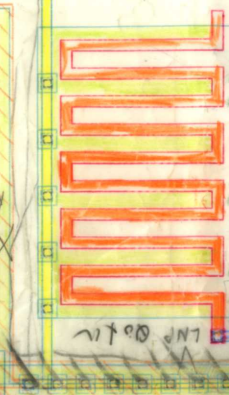
FB45



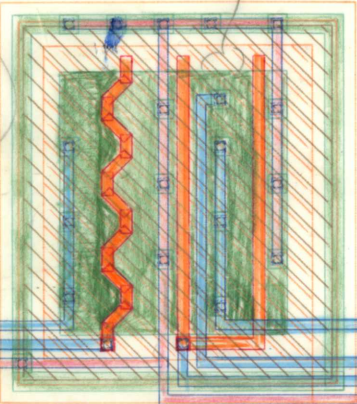
V_{dd}



V_{cc}



V_c



K_{io}

V_{dd}

ŌSŌ

N73

N71

N72

N73

C2

C3

C1

ŌSi

N74

N75

N76

N77

N78

N79

N80

N81

N82

N83

N84

N85

N86

N87

N88

N89

N90

N91

N92

N93

N94

N95

N96

N97

N98

N99

N100

N101

N102

N103

N104

N105

N106

N107

N108

N109

N110

N111

N112

N113

N114

N115

N116

N117

N118

N119

N120

N121

N122

N123

N124

N125

N126

N127

N128

N129

N130

ALC72

M2

256

RTD52
V_{DD}

FH52

V_{DD}

N131

N132

N133

N134

N135

N136

N137

N138

N139

N140

N141

N142

N143

N144

N145

N146

N147

N148

N149

N150

N151

N152

N153

N154

N155

N156

N157

N158

N159

N160

N161

N162

N163

N164

N165

N166

N167

N168

N169

N170

N171

N172

N173

N174

N175

N176

N177

N178

N179

N180

N181

N182

N183

N184

N185

手計算による増幅回路の解析

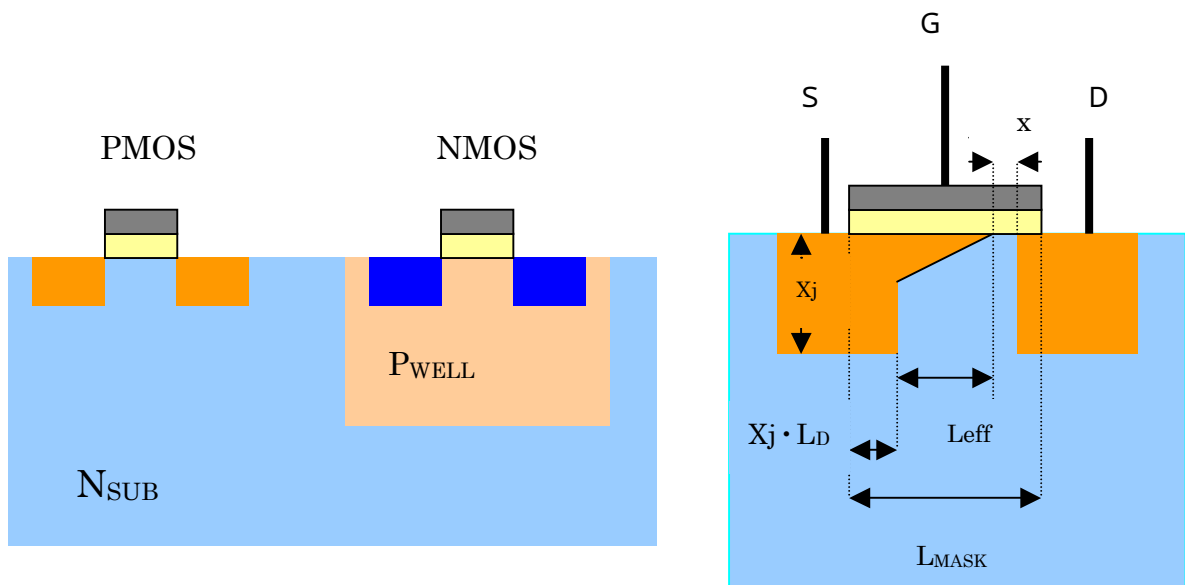
下図に示した PMOS 定電流負荷形増幅器について、手計算により詳細な直流解析を求めてみます。デバイス設計の基本ですので、よく目を通して見て下さい。

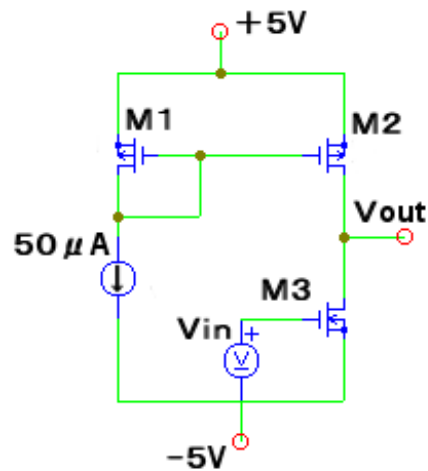
DC 解析項目

- 1 出力電圧 $V_o=0$ [V] になる入力電圧 V_i 及びバイアス電圧、バイアス電流
- 2 上記動作点における各トランジスタのパラメータ g_m , r_o , L_{eff}
- 3 直流ゲイン A_v

手計算に使用する MOS パラメータ

$$\begin{aligned}\mu_N &= 1000 [cm^2 / V \text{ sec}] & \mu_P &= 500 [cm^2 / V \text{ sec}] \\ L_D &= 0.7 & X_j &= 1 [\mu m] \\ V_{thN} &= 0.8 [V] & V_{thP} &= -0.8 [V] \\ t_{OX} &= 0.8 \times 10^{-5} [cm] & C_{OX} &= 0.43 \times 10^{-7} [F / cm^2] \\ \epsilon_{OX} &= 0.345 \times 10^{-12} [F / cm] & \epsilon_{si} &= 1.05 \times 10^{-12} [F / cm] \\ P_{WELL} &= 4 \times 10^{15} [Atom / cm^3] & N_{SUB} &= 6 \times 10^{14} [Atom / cm^3] \\ L &= 8 [\mu m] & W &= 100 [\mu m] \\ \phi_0 &= 0.6 [V] & q &= 1.6 \times 10^{-19} [C]\end{aligned}$$





PMOS 定電流負荷形増幅器

解析手順

M₁ の V_{GS1} を求める。

$$X_1 \quad L_{eff1} \quad (V_{GS1} - V_{thp})$$

M₂ の I_{DS2} を求める。

$$X_2 \quad L_{eff2} \quad I_{DS2}$$

M₃ の V_{GS3} (= V_{IN}) を求める。

$$(V_{GS3} - V_{thN}) \quad X_3 \quad L_{eff3}$$

収束計算

上記 で求めた動作点での各トランジスタの g_m , r_o を求める。

直流増幅度 A_v を求める。

(1) M₁ の V_{GS1} を求める。

$$\Delta X_1 = \sqrt{\frac{2\varepsilon_{Si}(\phi_0 + V_R)}{qN_{SUB}}} = \sqrt{\frac{2 \times 1.05 \times 10^{-12} \times (0.6 + 0.8)}{1.6 \times 10^{-19} \times 6 \times 10^{14}}} \quad \text{-----}$$

$$= 1.75 [\mu m]$$

ダイオード接続で

$$\begin{aligned} V_R &= V_{DS} - (V_{GS} - V_{thP}) \\ &= V_{GS} - (V_{GS} - V_{thP}) = V_{thP} \end{aligned}$$

実行チャネル長 L_{eff1} は

$$L_{eff1} = L_{MASK} - 2X_j L_D - \Delta X_1 \quad \text{-----}$$

$$= 8 - 2 \times 1 \times 0.7 - 1.75 = 4.85 [\mu m]$$

$$V_{GS1} - V_{thP} = \sqrt{\frac{2 \times I_{DS} \times L_{eff1}}{\mu_P C_{OX} W}} = \sqrt{\frac{2 \times 50 \times 10^{-6} \times 4.85 \times 10^{-4}}{500 \times 0.43 \times 10^{-7} \times 100 \times 10^{-4}}} = 0.475 [V]$$

$$\therefore V_{GS1} = 1.275 [V]$$

(2) M_2 の I_{DS2} を求める。この時出力電圧 $V_o = 0$ [V]

, 式より X_2 , L_{eff2} を求めると

$$X_2 = 3.35 [\mu m] \quad L_{eff2} = 3.25 [\mu m]$$

従って M_2 に流れる電流は

$$I_{DS2} = \frac{1}{2} \times \mu_P C_{OX} \left(\frac{W}{L} \right) (V_{GS2} - V_{thP})^2$$

$$= 0.5 \times 500 \times 0.43 \times 10^{-7} \times \frac{100}{3.25} \times 0.475^2$$

$$= 74.6 [\mu A]$$

(3) M_3 の $V_{GS3}(=V_{IN})$ を求める。(出力電圧 $V_o = 0$ [V])

電流は M_2 と同じ $74.6 [\mu A]$ 流れ、その時出力電圧 V_o は 0 [V] となる。

入力電圧 V_{IN} を求める場合、 L_{eff3} の値が X_3 によって決まり、 X_3 は V_{IN} (V_{GS3}) に依存するため、それぞれについて収束計算を行う。

1回目の計算

$X_3 = 0$ とすると 式より $L_{eff3} = 6.6 [\mu m]$

$$V_{GS3} - V_{thN} = \sqrt{\frac{2 \times I_{DS3} \times L_{eff3}}{\mu_N C_{OX} W}} = \sqrt{\frac{2 \times 74.6 \times 10^{-6} \times 6.6 \times 10^{-4}}{1000 \times 0.43 \times 10^{-7} \times 100 \times 10^{-4}}} = 0.479 [V]$$

$$\Delta X_3 = \sqrt{\frac{2 \varepsilon_{Si} (\phi_0 + V_R)}{q P_{WELL}}} = \sqrt{\frac{2 \times 1.05 \times 10^{-12} (0.6 + 5 - 0.479)}{1.6 \times 10^{-19} \times 4 \times 10^{15}}} = 1.296 [\mu m]$$

$$L_{eff3} = L_{MASK} - 2X_j L_D - \Delta X_3 = 8 - 2 \times 1 \times 0.7 - 1.296 = 5.304 [\mu m]$$

2回目の計算

$L_{eff3} = 5.304 \text{ [} \mu\text{m]}$ を使って 1 回目と同様な計算をすると

$$V_{GS3} - V_{thN} = 0.429 \text{ [V]} \quad \Delta X_3 = 1.303 \text{ [}\mu\text{m]}$$

$$L_{eff3} = 5.297 \text{ [}\mu\text{m]}$$

3回目の計算

$L_{eff3} = 5.297 \text{ [} \mu\text{m]}$ を使って 2 回目と同様な計算をすると

$$V_{GS3} - V_{thN} = 0.429 \text{ [V]}$$

2 回目と 3 回目の計算が一致した。

よって V_{in} は

$$V_{IN} = V_{GS3} = 0.429 + 0.8 = 1.229 \text{ [V]}$$

(4) 各トランジスタの g_m , r_o を求める。

M_1 の g_m , r_o

$$g_{m1} = \sqrt{\frac{2 \times I_{DS} \mu_P C_{OX} W}{L_{eff1}}} = \sqrt{\frac{2 \times 50 \times 10^{-6} \times 500 \times 0.43 \times 10^{-7} \times 100}{4.85}} = 2.11 \times 10^{-4} \text{ [S]}$$

$$r_{o1} = \frac{2 \times L_{eff1} (\phi_0 + V_R)}{I_{DS} \Delta X_1} = \frac{2 \times 4.85 \times 10^{-4} \times (0.6 + 0.8)}{50 \times 10^{-6} \times 1.75 \times 10^{-4}} = 155.2 \text{ [k}\Omega\text{]}$$

M₂ の g_m, r_o

$$g_{m2} = \sqrt{\frac{2 \times I_{DS2} \mu_P C_{OX} W}{L_{eff2}}} = \sqrt{\frac{2 \times 74.6 \times 10^{-6} \times 500 \times 0.43 \times 10^{-7} \times 100}{3.25}} = 3.14 \times 10^{-4} [S]$$

$$r_{o2} = \frac{2 \times L_{eff2} (\phi_0 + V_R)}{I_{DS} \Delta X_2} = \frac{2 \times 3.25 \times 10^{-4} \times (0.6 + 4.525)}{50 \times 10^{-6} \times 3.35 \times 10^{-4}} = 198.9 [k\Omega]$$

M₃ の g_m, r_o

$$g_{m3} = \sqrt{\frac{2 \times I_{DS3} \mu_N C_{OX} W}{L_{eff3}}} = \sqrt{\frac{2 \times 74.6 \times 10^{-6} \times 1000 \times 0.43 \times 10^{-7} \times 100}{5.297}} = 3.48 \times 10^{-4} [S]$$

$$r_{o3} = \frac{2 \times L_{eff3} (\phi_0 + V_R)}{I_{DS3} \Delta X_3} = \frac{2 \times 5.297 \times 10^{-4} \times (0.6 + 4.521)}{74.6 \times 10^{-6} \times 1.303 \times 10^{-4}} = 558.1 [k\Omega]$$

(5) 増幅器の直流増幅度 A_v を求める。

上図の PMOS 定電流負荷形増幅器の直流増幅度 A_v は

$$\begin{aligned} \text{電圧増幅度 } A_v &= g_{m3} (r_{o2} // r_{o3}) = 3.48 \times 10^{-4} \times (198.9 // 558.1) \\ &= 51.0 [\text{倍}] \end{aligned}$$

$$\text{電圧利得 } G_v = 20 \log 51.0 = 34.2 [dB]$$

1 . MOS の相互コンダクタンス g_m の求め方

MOS のアナログ回路では g_m という概念が導入される。

g_m は 式において求められる。

$$g_m = I_{DS} / V_{GS} \dots\dots\dots$$

アナログ回路における MOS はほとんどの場合、飽和領域で動作する。

従って 式は 式のようにになる。

$$g_m = d I_{DS} / d V_{GS} = (1/2) \mu_0 (W/L) d (V_{GS} - V_{th})^2 / d V_{GS} \\ = \mu_0 (W/L) (V_{GS} - V_{th}) \dots\dots\dots$$

$I_{DS} = (1/2) \mu_0 (W/L) (V_{GS} - V_{th})^2$ を 式に代入すると
 $\mu_0 = \mu C_{OX}$ であるから

$$g_m = (2 I_{DS} \mu C_{OX} W/L)^{1/2} \dots\dots\dots$$

式で言えることは、MOS の g_m はバイポーラトランジスタと異なりパターン変更
 (W/L) で g_m を設計出来るということである。

バイポーラトランジスタは製造プロセスで本質的に決まってしまう。

2 . チャネル変調効果の計算法

MOS のアナログ回路の計算においては、チャネル変調効果を充分に考慮する必要がある。
 このチャネル変調効果というのは、ドレインに逆バイアスの電圧がかかるとドレインの
 空乏層が伸びて実質のチャネル長が短くなる現象である。 g_m の計算をする場合、上記 式
 の L の値はチャネル変調効果を考慮した L_{eff} の値を使って計算するべきである。

式に L_{eff} の式を示す(下図参照)。

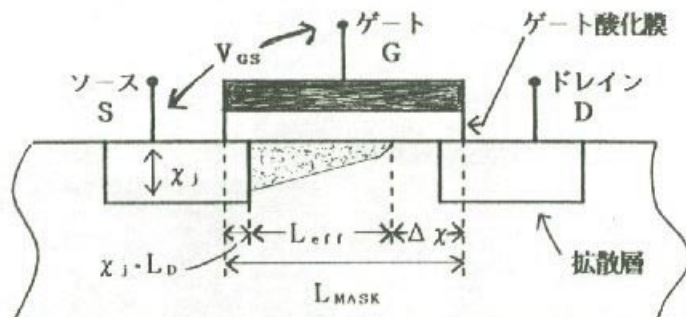
$$L_{eff} = L_{MASK} - 2 x_j L_D - x \dots\dots\dots$$

x はチャネル変調効果によるチャネル長の短縮値で 式で求める。

$$x = \{ 2 \mu_{Si} (\phi_0 + V_R) / q N_{SUB} \}^{1/2} \dots\dots\dots$$

ここで $\phi_0 = 0.6 [V]$

$V_R = V_{DS} - (V_{GS} - V_{th}) \leftarrow$ チャネル短縮部分の両端電圧



3 . g mの実際の計算例

下図に示した抵抗負荷型のインバータで g mを求めてみます。

計算条件

-
- (1) $I_{DS} = 100 \text{ } [\mu\text{A}]$ 流れており、 $V_{GS} = 1.5 \text{ } [\text{V}]$ の時 $V_{OUT} = 5 \text{ } [\text{V}]$
 (2) $W / L = 100 / 8$ $\mu_{ON} = 18 \times 10^{-6} \text{ } [\text{S} / \text{V}]$
 (3) $N_{SUB} = 3 \times 10^{15} \text{ } [/cm^3]$ $\epsilon_{Si} = 1.05 \times 10^{-12} \text{ } [\text{F} / \text{cm}]$
 (4) $x_j = 2 \times 10^{-4} \text{ } [\text{cm}]$ $L_D = 0.7$ $V_{th} = 0.5 \text{ } [\text{V}]$
-

まず実効チャネル長 L_{eff} を求めるため 式より x を算出する。

$$x = \{ 2 \epsilon_{Si} (V_0 + V_R) / q N_{SUB} \}^{1/2}$$

$$= \{ 2 \times 1.05 \times 10^{-12} \times (0.6 + 4.0) / 1.6 \times 10^{-19} \times 3 \times 10^{15} \}^{1/2}$$

$$= 1.4 \times 10^{-4} \text{ } [\text{cm}]$$

$$V_R = 5 - 1.5 + 0.5 = 4.0 \text{ } [\text{V}]$$

$$\text{従って } L_{eff} = 8 - 2 \times 2 \times 0.7 - 1.4$$

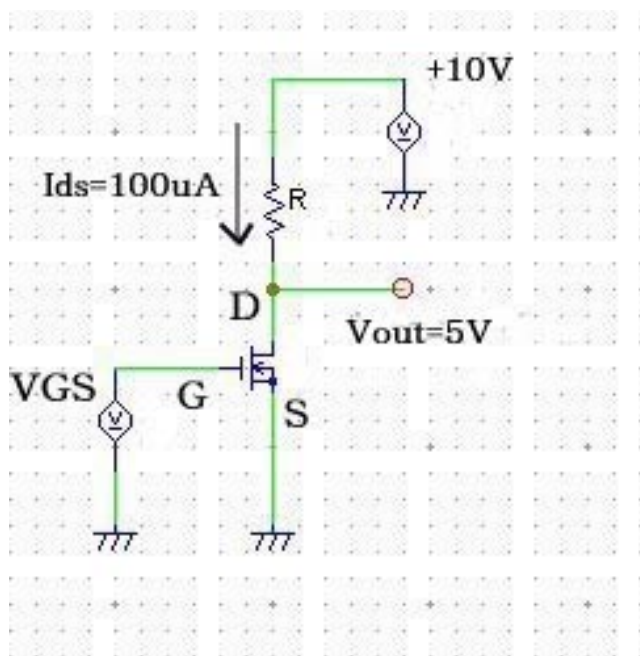
$$= 3.8 \text{ } [\mu\text{m}]$$

式に数値を代入してNMOSの g mを計算すると

$$g_m = (2 I_{DS} \mu_{OX} W / L_{eff})^{1/2}$$

$$= (2 \times 100 \times 10^{-6} \times 18 \times 10^{-6} \times 100 / 3.8)^{1/2}$$

$$= 9.5 \times 10^{-4} \text{ } [\text{S}]$$





特集をより役立てるために

PSpice コマンド・リファレンス & サークット・ライブラリ集

PSpice をより有効に使用していただきたいと考え、手軽に使える簡易マニュアルを作ってみました。これでふ厚い英文のマニュアルとある程度疎遠になれるのではないかと思います。ただ、あくまでも抄訳、編集したものにすぎないので、この本を一冊手元に置いておくだけですべてがまかなえる、などというわけではありませんが。

そして、SPICE では回路を簡易言語で記述するため、どうしても直感的にわかりにくくなります。そのため、といってもそれほど大がかりなものではないのですが、いくつかの簡単な回路と SPICE での表現を並べてみました。リストから回路をイメージするエクササイズとして、そのまま使用できるコンポーネントとして利用してください。

なお、おことわりしておきますが、本書の第 1 部は MicroSim 社の許諾を得て PSpice のマニュアルを抄訳、編集したものですから、英文のマニュアルと構成がかならずしも同じではありません。第 2 部はトランジスタ技術 1990 年 7 月号からの抜粋であることも同時におことわりしておきます。

訳・編著 岡村迪夫

Contents

第 1 部

PSpice コマンド・リファレンス

- ① 部品の表現法40
- ② PSpice のコマンド50
- ③ 出力変数の指定法58
- ④ 信号源の設定法60

第 2 部

サーキット・ライブラリ集

- ① OP アンプ・ライブラリ65
- ② 回路リスト集67
- PSpice 教育用バージョン頒布申し込み書 64



PSpice コマンド・リファレンス



この章は PSpice で使用できる部品とコマンドを MicroSim 社の取扱説明書から、同社の許可を得て抄訳したものです。

部品(device)はアルファベット 1 文字で、命令(command)は "." (period) で始まります。大文字と小文字は区別されません。

説明の中で以下の記号を次の意味に使用します。

<>	<ノード>	省けない要素, 「ノード」は必要.
[]	[面積]	オプション, 「面積」は省いてもよい.
*	<値>*	2 回以上の繰り返し, <値> <値>...

1 部品(device)の表現法

● B GaAs FET

【書式】 B<名称><ドレイン・ノード><ゲート・ノード><ソース・ノード><モデル名> [面積]

【実例】 BIN 100 1 0 GFAST
B13 22 14 23 GNOM 2.0

モデル・パラメータ(.MODEL ステートメント参照)

単位 デフォルト値

LEVEL	model type (1 or 2)		1
VTO	pinch-off voltage	volt	-2.5
ALPHA	saturation voltage parameter	volt ⁻¹	2.0
BETA	transconductance coefficient	amp/volt ²	0.1
B	doping tail extending parameter (LEVEL=2 only)	volt ⁻¹	0.3
LAMBDA	channel-length modulation	volt ⁻¹	0
TAU	conduction current delay time	sec	0
RG	gate ohmic resistance	ohm	0
RD	drain ohmic resistance	ohm	0
RS	source ohmic resistance	ohm	0
IS	gate p-n saturation current	amp	1E-14
N	gate p-n emission coefficient		1
M	gate p-n grading coefficient		0.5
VBI	gate p-n potential	volt	1.0
CGD	zero-bias gate-drain p-n capacitance	farad	0
CGS	zero-bias gate-source p-n capacitance	farad	0
CDS	drain-source capacitance	farad	0
FC	forward-bias depletion capacitance coefficient		0.5
VTOTC	VTO temperature coefficient	volt/°C	0
BETATCE	BETA exponential temperature coefficient	%/°C	0
KF	flicker noise coefficient		0
AF	flicker noise exponent		1

GaAs FET のモデルは理想的な FET の各電極に抵抗 (ドレインに RD/面積, ソースに RS/面積, ゲートに

RG) を挿入して作ります。[面積] は FET の大きさの相対値でデフォルトは 1 です。

● C Capacitor

【書式】 C<名称><+ノード><-ノード> [モデル名]<静電容量> [IC=<初期電圧>]

【実例】 CLOAD 15 0 20pF
G2 1 2 .2E-12 IC=1.5V
CFDBCK 3 33 CMOD 10pF

モデル・パラメータ(.MODEL ステートメント参照)

単位 デフォルト値

C	capacitance multiplier		1
VC1	linear voltage coefficient	volt ⁻¹	0
VC2	quadratic voltage coefficient	volt ⁻²	0
TC1	linear temperature coefficient	°C ⁻¹	0
TC2	quadratic temperature coefficient	°C ⁻²	0

コンデンサのモデルでノードの+-はコンデンサが正の電圧をもつ際の極性です。正の電流は+ノードからコンデンサを通して-ノードへ流れます。[モデル名]がないときは、例のように<静電容量>にコンデンサの容量をファラッドで表した値をいれます。[モデル名]があるとき静電容量は次式となります。

$$\text{<静電容量>} \cdot C \cdot (1 + VC1 \cdot V + VC2 \cdot V^2)$$

$$\cdot (1 + TC1 \cdot (TNOM) + TC2(TNOM)^2)$$

静電容量は正または負で、0はいけません。上式のTNOMは.OPTIONSで設定する常温の値です。

[初期値]は解析を始めるときのCの電圧の初期値で、無指定ならば0とし、バイアス・ポイントの計算に用います。なお、コンデンサはノイズ・モデルをもっていません。

● D Diode

【書式】 D<名称><アノード・ノード><カソード・ノード> <モデル名> [面積]

【実例】 DCLAMP 14 0 DMOD
D13 15 17 SWITCH 1.5

モデル・パラメータ(.MODEL ステートメント参照)

単位 デフォルト値

IS	saturation current	amp	1E-14
N	emission coefficient		1
ISR	recombination current parameter	amp	0
NR	emission coefficient for ISR		2
IKF	high-injection "knee" current	amp	infinite
BV	reverse breakdown "knee" voltage	volt	infinite
IBV	reverse breakdown "knee" current	amp	1E-10
NBV	reverse breakdown ideality factor		1
IBVL	low-level reverse breakdown "knee" current	amp	0
NBVL	low-level reverse breakdown ideality factor		1
RS	parasitic resistance	ohm	0
TT	transit time	sec	0
CJO	zero-bias <i>p-n</i> capacitance	farad	0
VJ	<i>p-n</i> potential	volt	1
M	<i>p-n</i> grading coefficient		0.5
FC	forward-bias depletion capacitance coefficient		0.5
EG	bandgap voltage (barrier height)	eV	1.11
XTI	IS temperature exponent		3
TIKF	IKF temperature coefficient (linear)	°C ⁻¹	0
TBV1	BV temperature coefficient (linear)	°C ⁻¹	0
TBV2	BV temperature coefficient (quadratic)	°C ⁻²	0
TRS1	RS temperature coefficient (linear)	°C ⁻¹	0
TRS2	RS temperature coefficient (quadratic)	°C ⁻²	0
KF	flicker noise coefficient		0
AF	flicker noise exponent		1

理想ダイオードに直列に抵抗分(RS/面積)を加えて作り、順方向電流はアノードからカソードに向かって流れます。[面積]はIS、ISR、IKF、RS、CJO、IBV

の係数となり、デフォルト値は1です。IBVとBVは符号なしで指定します。

● E Voltage-Controlled Voltage Source

【書式】 ① E<名称><+ノード><-ノード>
<+制御ノード><-制御ノード><増幅度>
② E<名称><+ノード><-ノード>
POLY<次数><+制御ノード><-制御ノード>>*<多項式の係数>*<
【実例】 EBUFF 1 2 10 11 1.0
EAMP 13 0 POLY(1) 26 0 500
ENONLIN 100 101 POLY(2) 3 0 4 0 0.0
13.6 0.2 0.005

電圧で制御される電圧源 VCVS には、その入出力関係を <増幅度> で指定する書式①と、多項式で指定する書式②があります。

+および-ノードは出力用で、出力が正の場合、電流は+ノードから電圧源の中を-ノードへ流れます。制御ノードは±ひと組で制御用の入力に用います。

POLY [次数] は多項式の次元の数を意味します。制御ノードとそこに入れる信号は、次元の数だけの組数、1 次元なら 1 組、2 次元なら 2 組必要です。

● F Current-Controlled Current Source

【書式】 ① F<名称><+ノード><-ノード>
<制御用電圧源><増幅度>
② F<名称><+ノード><-ノード>
POLY<次数><制御用電圧源><多項式の係数>*<
【実例】 FSENSE 1 2 VSENSE 10.0
FAMP 13 0 POLY(1) VIN 500
FNONLIN 1 2 POLY(2) VCNTL1
VCINTL2 0.0 13.6 0.2 0.05

電流で制御される電流源 CCCS には、その入出力関係を <増幅度> で指定する書式①と、多項式で指定する書式②があります。

式②があります。

+および-ノードは出力用で、出力が正の場合、電流は+ノードから電流源の中を-ノードへ流れます。出力電圧の大きさと極性は、<制御用電圧源> を流れる電流によって定まります。

制御用電圧源は独立した電圧源であることが必要ですが、直流電圧は 0 でなくてもかまいません。書式①はリニアな増幅度で指定する場合、②はノンリニアな場合にも使える多項式での表し方です。②の説明は E の項を参照してください。

● G Voltage-Controlled Current Source

【書式】 ① G<名称><+ノード><-ノード>
<+制御ノード><-制御ノード><相互コンダクタンス>
② G<名称><+ノード><-ノード>
POLY<次数><+制御ノード><-制御ノード>>*<多項式の係数>*<
【実例】 GBUFF 1 2 10 11 1.0
GAMP 13 0 POLY(1) 26 0 500
GNONLIN 1 2 POLY(2) 3 0 4 0 0.0 13.6
0.2 0.05

電圧で制御される電流源 VCCS には、その入出力関係を <相互コンダクタンス> で指定する書式①と、多項式で指定する書式②があります。

+および-ノードは出力用で、出力が正の場合、電流は+ノードから電流源の中を-ノードへ流れます。制御ノードは±ひと組で制御用の入力に用います。

POLY [次数] は多項式の次元の数を意味します。制御ノードとそこに入れる信号は次元の数だけの組数、1 次元なら 1 組、2 次元なら 2 組必要です。

● H Current-Controlled Voltage Source

【書式】 ① H<名称><+ノード><-ノード>
<制御用電圧源><相互抵抗値>
② H<名称><+ノード><-ノード>
POLY<次数><制御用電圧源><多項式の係数>*<
【実例】 HSENSE 1 2 VSENSE 10.0
HAMP 13 0 POLY(1) VIN 500
HNONLIN 1 2 POLY(2) VCNTL1
VCINTL2 0.0 13.6 0.2 0.05

電流で制御される電圧源 CCVS には、その入出力関係を <相互抵抗値> で指定する書式①と、多項式で指定する書式②があります。

る書式②があります。

+および-ノードは出力用で、出力が正の場合、電流は+ノードから電圧源の中を-ノードへ流れます。出力電圧の大きさと極性は、<制御用電圧源> を流れる電流によって定まります。

制御用電圧源は独立した電圧源であることが必要ですが、直流電圧は 0 でなくてもかまいません。書式①はリニアな増幅度で指定する場合、②はノンリニアな場合にも使える多項式での書き方です。②の説明は E の項を参照してください。

● I Independent Current Source

【書式】 I<名称><+ノード><-ノード> [[DC]
<電流値>] [AC<電流振幅> [位相]]
[トランジェント仕様]

【実例】 IB 13 0 2.3 mA
IAC 2 3 AC .001
IACPHS 2 3 1C .001 90
IPULSE 1 0 PULSE(-1 mA 1 mA
2 ns 2 ns 2 ns 50 ns 100 ns)
I3 26 77 DC .002 AC 1
SIN(.002 .002 1.5MEG)

電流源のモデルで、正の電流は+ノードから電流源を通して-ノードへ流れます。したがって例の場合 IB はノード 13 を負電圧にします。[AC, DC, トランジェント仕様] のデフォルト値はいずれも 0 ですから、例えば直流成分を含まない場合 0 と指定する必要はありません。三つを全部指定することも可能です。[位相] の単位は度です。

トランジェント波形は EXP, PULSE, PWL, SFFM, SIN の各種の指定ができます。詳細は [4] 信号源の指定法を参照してください。

● J Junction FET

【書式】 J<名称><ドレイン・ノード><ゲート・ノード><ソース・ノード><モデル名> [面積]

【実例】 JIN 100 1 0 JFAST
J13 22 14 23 JNOM 2.0

モデル・パラメータ (MODEL ステートメント参照)		単位	デフォルト値
VTO	threshold voltage	volt	-2.0
BETA	transconductance coefficient	amp/volt ²	1E-4
LAMBDA	channel-length modulation	volt ⁻¹	0
IS	gate <i>p-n</i> saturation current	amp	1E-14
N	gate <i>p-n</i> emission coefficient		1
ISR	gate <i>p-n</i> recombination current parameter	amp	0
NR	emission coefficient for ISR		2
ALPHA	ionization coefficient	volt ⁻¹	0
VK	ionization "knee" voltage	volt	0
RD	drain ohmic resistance	ohm	0
RS	source ohmic resistance	ohm	0
CGD	zero-bias gate-drain <i>p-n</i> capacitance	farad	0
CGS	zero-bias gate-source <i>p-n</i> capacitance	farad	0
M	gate <i>p-n</i> grading coefficient		0.5
PB	gate <i>p-n</i> potential	volt	1.0
FC	forward-bias depletion capacitance coefficient		0.5
VTOTC	VTO temperature coefficient	volt/°C	0
BETATCE	BETA exponential temperature coefficient	%/°C	0
XTI	IS temperature coefficient		3
KF	flicker noise coefficient		0
AF	flicker noise exponent		1

JFET のモデルは理想的な FET の各電極に抵抗 (ドレインに RD/面積, ソースに RS/面積, ゲートに RG)

を挿入して作ります。[面積] は FET の大きさの相対値でデフォルト値は 1 です。

● K Inductor Coupling(変圧器鉄芯)

【書式】 ① K<名称>L<インダクタ名><L<インダクタ名>><結合度>
② K<名称><L<インダクタ名>><結合度><モデル名> [断面積]

【実例】 KTUNED L3OUT L4IN .8
KTRNSFRM LPRIMARY LSECNDRY
.99
KKFRM L1 L2 L3 L4 .98 KPOT_3C 8

モデル・パラメータ(.MODEL ステートメント参照)		単位	デフォルト値
AREA	mean magnetic cross-section	cm ²	0.1
PATH	mean magnetic path length	cm	1.0
GAP	effective air-gap length	cm	0
PACK	pack (stacking) factor		1.0
MS	magnetization saturation	amp/meter	1E+6
ALPHA	mean field parameter		1E-3
A	shape parameter	amp/meter	1E+3
C	domain wall flexing constant		0.2
K	domain wall pinning constant		500

Kは二つまたはそれ以上のインダクタLの結合を表します。巻線の極性はLを定義する際のノードの順にしたがいます。例えば

```
IL1 1 0 AC 1 mA
L1 1 0 10 uH
L2 2 0 10 uH
R2 2 0 .1
K12 L1 L2 .9999
```

L1とL2はともに巻き終わりがグラウンドで同じ向きなのでL2を流れる電流はL1と反対向きとなります。[結合度]は“相互結合係数”で、値は0から1の間とします。鉄芯を用いた変圧器の結合度はほとんど0.999以上となります。

モデル名が指定されている書式②では次の点が変わります。

- ・インダクタの結合状態に非直線の磁心が使用できる。

- ・磁心のB-H特性はJiles-Athertonのモデルを使って解析する。
- ・インダクタは巻線に変わり、インダクタを指定する代わりに巻回数を指定する。
- ・対象とするインダクタは1個でもよい。

[断面積]はコアの断面積で、デフォルト値は1です。同質の材質のコアにはいくつものコアに同じモデル・パラメータを使うことができます。書式②による例をあげます。

```
L1 5 9 20 ; 巻数 20 回
K1 L1 .9999 ; Ferroxcube トロ
K528T500_3C8 イダル・コア
L2 3 8 15 ; 1 次巻線 15 回
L3 4 6 45 ; 2 次巻線 45 回
K2 L2 L3 .9999 ; K1 とは別のコア
K528T500_3C8
```

● L Inductor

【書式】 L<名称><+ノード><-ノード> [モデル名]<インダクタンス値> [IC=<初期電流>]

【実例】 LLOAD 15 0 20 mH
L2 1 2 .2E-6
LCHOKE 3 42 LMOD .03
LSENSE 5 12 2UH IC=2 mA

モデル・パラメータ(.MODEL ステートメント参照)		単位	デフォルト値
L	inductance multiplier		1
IL1	linear current coefficient	amp ⁻¹	0
IL2	quadratic current coefficient	amp ⁻²	0
TC1	linear temperature coefficient	°C ⁻¹	0
TC2	quadratic temperature coefficient	°C ⁻²	0

ノードの+-はインダクタに正の電流が流れるときの極性を示します。正の電流は+ノードからインダクタを通過して-ノードへ向かって流れます。[モデル名]がないときは例のように<インダクタンス値>にLのインダクタンスをヘンリで表した値をいれます。[モデル名]が

あるときはインダクタンスは次式となります。

$$\begin{aligned} <インダクタンス値> \cdot L \cdot (1 + IL1 \cdot I + IL2 \cdot I^2) \\ & \cdot (1 + TC1 \cdot (TNOM) + TC2 \cdot (TNOM)^2) \end{aligned}$$
インダクタンスは正または負で、0はいけません。上式のTNOMは.OPTIONSで指定する常温の値です。

UEXP	mobility degradation exponent (LEVEL=2)	0
UTRA	(not used) mobility degradation transverse field coefficient	
VMAX	maximum drift velocity	meter/sec
NEFF	channel charge coefficient (LEVEL=2)	1.0
XQC	fraction of channel charge attributed to drain	1.0
DELTA	width effect on threshold	0
THETA	mobility modulation (LEVEL=3)	volt ⁻¹
ETA	static feedback (LEVEL=3)	0
KAPPA	saturation field factor (LEVEL=3)	0.2

MOS FET のモデルは理想的な FET のドレイン、ソース、ゲート、サブストレーートの各電極に抵抗を挿入しています。またドレイン・ソース・チャンネルには並列に抵抗(RDS)を挿入します。正の電流は電極に向かって流れ込む方向です。例えば正のドレイン電流はドレインからソースに向かって流れます。

L はチャンネルの長さ、W は幅です。W の値はデバイスの引き数、モデル、あるいは .OPTIONS で指定できます。これら三つの方法で指定された場合の優先順位はデバイスが最優先で以下、モデル、.OPTIONS の順となります。

AD と AS はそれぞれドレイン、ソース・デフュージョン面積で、PD と PS はそれぞれドレインおよびソース・デフュージョン距離です。ドレイン-バルク間およびソース-バルク間の飽和電流は、面積あたりの値を表す JS もしくは総量を表す IS で指定できます。JS は計算

にあたって AD または AS 倍されます。ゼロバイアス時のデプリーション静電容量は CS で指定でき、これは AD および AS 倍して用いられます。また CJSW を指定して PD または PS 倍して使う方法もあります。また総量を使って CBD または CBS で指定することもできます。

NRD, NRS, NRG および NRB はドレイン、ソース、ゲート、およびサブストレーートの相対的な抵抗値です。これらの寄生抵抗の値は RSH で指定すれば上記の係数倍されますし、総量として RD, RS, RG, および RB で指定することもできます。細かい解析をするのではない限り、これらの値を設定する必要はありません。特別な値を入れなければ上の表のデフォルト値が採用されます。L および W では DEF L, DEF W も設定されていない場合には、100 μ がデフォルト値となります。

● Q Bipolar Transistor

【書式】 Q<名称><コレクタ・ノード><ベース・ノード><エミッタ・ノード> [サブストレート・ノード]<モデル名> [面積]

【実例】 Q1 14 2 13 PNP NOM
Q13 15 3 0 1 NPN STRONG 1.5
Q7 VC 5 12 [SUB] LATPNP

モデル・パラメータ (MODEL ステートメント参照)		単位	デフォルト値
IS	transport saturation current	amp	1E-16
BF	ideal maximum forward beta		100
NF	forward current emission coefficient		1
VA (VA)	forward Early voltage	volt	infinite
IKF (IK)	corner for forward-beta high-current roll-off	amp	infinite
ISE (C2)	base-emitter leakage saturation current	amp	0
NE	base-emitter leakage emission coefficient		1.5
BR	ideal maximum reverse beta		1
NR	reverse current emission coefficient		1
VAR (VB)	reverse Early voltage	volt	infinite
IKR	corner for reverse-beta high-current roll-off	amp	infinite
ISC (C4)	base-collector leakage saturation current	amp	0
NC	base-collector leakage emission coefficient		2
NK	high-current roll-off coefficient		.5
ISS	substrate <i>p-n</i> saturation current	amp	0
NS	substrate <i>p-n</i> emission coefficient		1
RE	emitter ohmic resistance	ohm	0
RB	zero-bias (maximum) base resistance	ohm	0
RBM	minimum base resistance	ohm	RB
IRB	current at which Rb falls halfway to RBM	amp	infinite
RC	collector ohmic resistance	ohm	0
CJE	base-emitter zero-bias <i>p-n</i> capacitance	farad	0
VJE (PE)	base-emitter built-in potential	volt	0.75
MJE (ME)	base-emitter <i>p-n</i> grading factor		0.33
CJC	base-collector zero-bias <i>p-n</i> capacitance	farad	0
VJC (PC)	base-collector built-in potential	volt	0.75
MJC (MC)	base-collector <i>p-n</i> grading factor		0.33
XCJC	fraction of Cbc connected internal to Rb		1
CJS (CCS)	substrate zero-bias <i>p-n</i> capacitance	farad	0
VJS (PS)	substrate <i>p-n</i> built-in potential	volt	0.75
MJS (MS)	substrate <i>p-n</i> grading factor		0
FC	forward-bias depletion capacitor coefficient		0.5
TF	ideal forward transit time	sec	0
XTF	transit time bias dependence coefficient		0
VTF	transit time dependency on Vbc	volt	infinite
ITF	transit time dependency on Ic	amp	0
PTF	excess phase @ 1/(2 π ·TF)Hz	degree	0
TR	ideal reverse transit time	sec	0
QCO	epitaxial region charge factor	coulomb	0
RCO	epitaxial region resistance	ohm	0
VO	carrier mobility "knee" voltage	volt	10
GAMMA	epitaxial region doping factor		1E-11
EG	bandgap voltage (barrier height)	eV	1.11
XTB	forward and reverse beta temperature coefficient		0
XTI (PT)	IS temperature effect exponent		3
TRE1	RE temperature coefficient (linear)	°C ⁻¹	0
TRE2	RE temperature coefficient (quadratic)	°C ⁻²	0
TRB1	RB temperature coefficient (linear)	°C ⁻¹	0
TRB2	RB temperature coefficient (quadratic)	°C ⁻²	0
TRM1	RBM temperature coefficient (linear)	°C ⁻¹	0
TRM2	RBM temperature coefficient (quadratic)	°C ⁻²	0
TRC1	RC temperature coefficient (linear)	°C ⁻¹	0
TRC2	RC temperature coefficient (quadratic)	°C ⁻²	0

KF	flicker noise coefficient	0
AF	flicker noise exponent	1

理想的なトランジスタの各電極に、抵抗(コレクタに RC/面積、ベースには電流値によって変化する抵抗分、エミッタには RE/面積)を挿入して作ります。サブストレート・ノードはオプションで、指定がなければグラウンドにつながれます。正の電流は電極に流れ込む方向とします。[面積]はデバイスの大きさの相対値でデフォ

ルト値は1です。モデル・パラメータの中に()でくくった名称がある場合は、例えば VAF(VA)では、VAF、VA のどちらでも使えます。モデル・パラメータ中の ISE および ISC が1より大きいときは、数値は電流そのものではなくて IS の係数と解釈されます。

● R Resistor

【書式】 R<名称><+ノード><-ノード> [モデル名] <抵抗値> [TC=<TC1> [,<TC2>]]

【実例】 RLOAD 15 0 2K
R2 1 2 2.4E4 TC .015,-.003
RFDBCK 3 33 RMOD 10K

モデル・パラメータ(MODEL ステートメント参照)

単位 デフォルト値

R	resistance multiplier		1
TC1	linear temperature coefficient	°C ⁻¹	0
TC2	quadratic temperature coefficient	°C ⁻²	0
TCE	exponential temperature coefficient	%/°C	0

ノードの+は抵抗器が正の電圧を生じたときの極性です。正の電流は+ノードから抵抗器を通過して-ノードへ流れます。抵抗値、それに抵抗の温度係数は例の R2 のように同じ行に書き込むことができます。モデル中で温度係数の指定があるときはそちらが優先されます。

[モデル名]がありモデル中に TCE がいないときは、抵抗値は次式となります。

$$\text{<抵抗値>} \cdot R \cdot (1 + TC1(TNOM) + TC2 \cdot (TNOM)^2)$$

[モデル名]がありモデル中に TCE があるときは、抵

抗値は次式となります。

$$\text{<抵抗値>} \cdot R \cdot 1.01^{TCE \cdot (TNOM)}$$

抵抗値は正または負で、0 ではありません。上式の TNOM は .OPTIONS で指定する常温の値です。

ノイズは1 Hz のバンド幅を仮定して計算されます。抵抗値は単位バンド幅当たり、次式で与えるパワー・スペクトル密度の熱雑音を発生します。

$$i^2 = 4 \text{ kT/抵抗値}$$

● S Voltage-Controlled Switch

【書式】 S<名称><+ノード><-ノード><+制御ノード><-制御ノード><モデル名>

【実例】 S12 13 17 2 SMOD
SRESET 5 0 15 RELAY

モデル・パラメータ(MODEL ステートメント参照)

単位 デフォルト値

RON	"on" resistance	Ohm	1.0
ROFF	"off" resistance	Ohm	1E+6
VON	control voltage for "on" state	Volt	1.0
VOFF	control voltage for "off" state	Volt	0.0

電圧で制御されるスイッチは電圧で制御される抵抗の特別なものです。+ノードと-ノード間の抵抗値は土制御ノード間の電圧により変化します。抵抗値変化は RON と ROFF の間を連続的に変わります。RON、ROFF の値は0より大きく 1/GMIN より小さくなくてはなりません。なお土制御ノード間には 1/GMIN の抵抗が内蔵されています。GMIN については .OPTIONS を参照してください。

なお PSpice は倍精度の変数を使っても 12 桁程度のダイナミック・レンジしか扱うことができません。した

がって RON と ROFF の値の比は、1E+12 以上にしな

いでください。切り替わりに必要な制御信号レベルの差はあまり小さくしないでください。切り替わりの過程ではスイッチは増幅度をもつことになり、切り替わり幅を小さくするほど大きな増幅度が必要で、数値的な問題を起こしやすくなります。

ノイズに関してはスイッチは抵抗でできていますから、その内部抵抗に相当する抵抗と同様なノイズ源を内蔵しています。R の項を参照してください。

● T Transmission Line

【書式】 T<名称><Aポート+ノード><Aポート-ノード><Bポート+ノード><Bポート-ノード>ZO=<値> [TD=<値>] [F=<値> [NL=<値>]]

【実例】 T1 1 2 3 4 ZO=220 TD=115 ns
T2 1 2 3 4 ZO=220 F=2.25 MHz
T3 1 2 3 4 ZO=220 F=4.5 MHz NL=0.5

トランスミッション・ラインのモデルは双方向性の理想的ディレイ・ラインです。A, B二つのポートを備え、+および-ノードはその極性を表しています。ZOは特性インピーダンスで、線路の長さは遅延時間TD(秒)か、あるいは周波数(Hz)と何波長分か(NL)のいずれかのセットで与えます。NLのデフォルト値は0.25で、Fだけ与えればその1/4波長での計算が行えます。実例の3例はすべて同じケーブルです。

● V Independent Voltage Source

【書式】 V<名称><+ノード><-ノード> [[DC]<電圧値>] [AC<電圧振幅>] [位相] [トランジェント仕様]

【実例】 VBIAS 13 0 2.3 mV
VAC 2 3 AC .001
VAC PNS 2 3 AC .001 90
VPULSE 1 0 PULSE(-1 mV 1 mV
2 ns 2 ns 2 ns 50 ns 100 ns)
V3 26 77 DC .002 AC 1 SIN
(.002 .002 1.5MEG)

電圧源のモデルで、正の電流は+ノードから電圧源を通して-ノードへ流れます。[AC, DC, トランジェント仕様]のデフォルト値はいずれも0ですから、例えば直流成分を含まない場合0と指定する必要はありません。三つを全部指定することも可能です。[位相]の単位は度です。

トランジェント波形はEXP, PULSE, PWL, SFFM, SINの各種が指定できます。詳細は[4]信号源の指定法を参照してください。

● W Current-Controlled Switch

【書式】 W<名称><+ノード><-ノード><制御用電圧源><モデル名>

【実例】 W12 13 17 VC WMOD
WRESET 5 0 VRESET RELAY

モデル・パラメータ(.MODEL ステートメント参照)

単位 デフォルト値

RON	"on" resistance	ohm	1.0
ROFF	"off" resistance	ohm	1E+6
ION	control current for "on" state	amp	1E-3
IOFF	control current for "off" state	amp	0.0

電流で制御されるスイッチは信号源が電流となっているほかは、電圧で制御されるスイッチと同様です。Sを

参照してください。

● X Subcircuit Call

【書式】 X<名称> [ノード]<サブサーキット名> [PARAMS:<<名称>=<値>>]

【実例】 X12 100 101 200 201 DIFFAMP
XBUFF 13 15 UNITAMP

サブサーキット名は.SUBCKTで定義されたサブサーキットの名称です。[ノード数]はサブサーキットで定義されているのと同数でなくてはなりません。回路の解析にあたってはXの引き数で指定されたサブサーキットがそこに挿入され、それぞれのノードに接続されます。一つのサブサーキットを何回使用しても差し支えありません。[PARAMS]はパラメータをサブサーキットの内部に送るのに使います。

サブサーキットAの中でサブサーキットBを使用する、ネストが可能です。ただしそのサブサーキットBの中で、ふたたびサブサーキットAを使うことはできません。

② PSpice のコマンド

● .AC AC Analysis

【書式】 .AC [LIN] [OCT] [DEC] <点数> <開始周波数> <終了周波数>

【実例】 .AC LIN 101 100 Hz 200 Hz
.AC OCT 10 1 kHz 16 kHz
.AC DEC 20 1 MEG 100MEG

.AC は指定された周波数範囲で回路の周波数応答を計算します。LIN, OCT, DEC で周波数範囲をスイープする方式を設定し、<点数> でスイープ中に計算をする点の数を指定します。

LIN：開始周波数から終了周波数の間を直線的にスイープします。<点数> は 1 スイープ全部を通しての点数です。

OCT：開始周波数から終了周波数の間を対数的にスイープします。<点数> は 1 オクターブあたりの点数です。

DEC：開始周波数から終了周波数の間を対数的にスイープします。<点数> は 1 桁あたりの点数です。

● .DC DC Analysis

【書式】 ① .DC [LIN] <スイープする変数名> <開始値> <終了値> <増分> [ネストするスイープの仕様]

② .DC [OCT] [DEC] <スイープする変数名> <開始値> <終了値> <点数> [ネストするスイープの仕様]

③ .DC <スイープする変数名> LIST <値> * [ネストするスイープの仕様]

【実例】 .DC VIN -.25 .25 .05
.DC LIN I2 5 mA -2 mA 0.1 mA
.DC VCE OV 10V .5V IB 0mA 1mA 50uA
.DC RES RMOD(R) 0.9 1.1 .001
.DC DEC NPN QFAST(IS) 1E-18
1E-14 5
.DC TEMP LIST 0 20 27 50 80 100
-50
.DC PARAM Vsupply 7.5 15 .5

.DC は<スイープする変数名>の値をスイープして、対象とする回路のバイアス・ポイントでの電圧電流変化を計算をします。

例のようにスイープの仕様の中にさらにスイープの仕様を書き込むと、スイープのネストが可能です。こうすると最初のスイープが内側のループとなり、最初のスイープ全体が 2 番目のスイープの 1 回ごとに行われます。

スイープは次の 4 種類を指定できます。

LIN：開始周波数から終了周波数の間を直線的にスイープします。<点数> は 1 スイープ全部を通しての点

数です。

OCT：開始周波数から終了周波数の間を対数的にスイープします。<点数> は 1 オクターブあたりの点数です。

DEC：開始周波数から終了周波数の間を対数的にスイープします。<点数> は 1 桁あたりの点数です。

LIST：開始値や終了値を使わず、リストの後におかれる数字をスイープの変数に代入します。

<スイープする変数名> は次のいずれかを用います。
電圧または電流源の名称：これら電圧電流がスイープの際にスイープ値に設定されます。

モデル・パラメータ：モデル・タイプとモデルの名称、それに括弧にいれたモデル・パラメータをつけると、そのパラメータにスイープの値をセットします。ただしパラメータの中にはこうして使うには適当でないものがあります。例えば抵抗器の TC1, TC2 のような温度係数のたぐい、MOS デバイスの L, W など。

温度：<スイープする変数名>のところにキーワード TEMP を使うと、スイープの際に温度がここにセットされます。すると回路に使用されているすべての部品の温度に関係するパラメータは、スイープのたびにその温度での値にアップ・デートされます。

グローバル・パラメータ：<スイープされる変数名>のところにキーワード PARAM の後にパラメータ名を付けて使用すると、スイープの際にパラメータ名がスイープする値にセットされ、そのたびに数式が再計算されます。

● .DISTRIBUTION User-Defined Distribution

【書式】 .DISTRIBUTION <名称> <<偏差>
<確率>>*

【実例】 .DISTRIBUTION bi_modal (-1,1) (-.5,1)
(-.5,0) (.5,0) (.5,1) (1,1)
.DISTRIBUTION triangular (-1,0) (0,1)
(1,0)

.DISTRIBUTION はユーザが与える部品の誤差の分布です。これはモンテカルロ分析だけで使用されます。

誤差の分布状態は偏差と確率を一組にして折れ線近似の形で与え、最大 100 組まで扱えます。偏差の数値範囲は $-1 \sim +1$ とし、これは内蔵の乱数発生器の範囲と一致しています。リストの中での配置は偏差の小さい順に並べてください。同じ偏差値を繰り返すのは構いませんが、後の数が小さくなってはいけません。<確率> は相対的な確率で、正の数または 0 を用います。

● .END End of Circuit

【書式】 .END

【実例】 .END

.END は回路の終わりを示します。その回路に使用するすべてのデータとステートメントは、END よりも前に配置なくてはなりません。END に出会うと PSpice は回路の解析に移ります。

なお、一つのファイルに何組もの回路を入れておくこ

とも可能です。どの回路も .END で終わりにしておくと、PSpice は一つの回路の解析を全部終了してから次のに移ります。次の解析は別のファイルから読み込んだものと同様に行われます。いくつもの回路を一つのファイルに入れておく（全部が正常に動くとする）と、コンピュータから離れている間にまとまった仕事をさせるのに便利です。

● .ENDS End of Subcircuit Definition

【書式】 .ENDS [サブサーキット名]

【実例】 .ENDS

.ENDS OPAMP

.ENDS はサブサーキットの終わりを示します。 .ENDS の後に例のようにサブサーキット名を書くことができます。大きなサブサーキットでは混乱を避けるのに役立つでしょう。

● .FOUR Fourier Analysis

【書式】 .FOUR <周波数値> <出力変数>*

【実例】 .FOUR 10 kHz V(5) V(6,7) I(VSENS3)

.FOUR はトランジェント解析の結果をフーリエ解析で周波数分析します。したがってこれを実行するにはトランジェント解析 .TRAN を指定しておくことが必要で

す。<出力変数> はトランジェント解析の結果出力された変数値で、これがフーリエ解析の入力に使用されます。そこでは直流成分、基本波成分、そして 2～9 までの高調波成分が計算されます。基本周波数成分は<周波数> で与えられます。

● .FUNC Function Definition

【書式】 .FUNC <名称> ([引き数]) <(定義)>

【実例】 .FUNC E(x) exp(x)

.FUNC Sinh(x) (E(x)+E(-x))/2

.FUNC MIN(A,B) (A+B-ABS(A-B))/2

.FUNC MAX(A,B) (A+B+ABS(A-B))/2

.FUNC は計算式の中で使用する関数を定義するのに用います。長い計算式をまとめるほか、計算式がそのままでは 1 行以内に入らない場合これを使って短縮したり、同じ計算を一つのファイルの中で何度も行う際に便利です。

PSpice のステートメントは通常は順序に無関係ですが、.FUNC は最初にその関数が使われるところより前

におかなければなりません。同じ関数名の再定義や内蔵しているファンクションと同じ名前を使うことはできませんから注意してください。

<定義>の部分は 1 行に入らなくてはなりません。ただし先に定義されている関数を参照することができます。2 番目の例では 1 番目の例の関数を使用しています。なお、<定義>の後ろに ; で始まるインライン・コメントは使用できません。

引き数は最大 10 個までで、定義する際の引き数と使用する際の引き数の数は一致している必要があります。括弧だけ残しておけば引き数のない関数も使えます。

● .IC Initial Bias-Point Condition

【書式】 .IC<V(<ノード>)=<初期値>>*

【実例】 .IC V(2)=3.4 V(102)=0 V(3)=-1V

.IC はトランジェント解析の初期条件を設定します。それぞれの<初期値>を対応する<ノード>に割り当て、バイアス・ポイント計算に使用します。いったんバイア

ス・ポイントが決まってトランジェント解析が進むとノードは解放されます。この命令はトランジェント解析以外には用いられません。IC と .NODESET の両方が設定されている場合は IC の値が優先されます。

● .INC Include File

【書式】 .INC [ファイル名]

【実例】 .INC SETUP.CIR

.INC C:\LIB\VC0.CIR

.INC は他のファイル [ファイル名] を読み込むのに使用します。読み込むファイルの内容には CIR ファイル第 1 行のような「タイトル・ライン」は許されません

ら、もしあればあらかじめコメントに変更しておきます。また .END があると、そこでファイルの終わりと見なされます。読み込まれるファイルの中からさらに .INC を使うネストは 4 回まで可能です。

なお、指定されたファイルは全部が読み込まれ、メモリを占有するので注意してください。

● .LIB Library File

【書式】 .LIB [ファイル名]

【実例】 .LIB

.LIB LINEAR.LIB

.LIB C:\LIB\BIPOLAR.LIB

.LIB は他のファイルにあるモデルまたはサブサーキットのライブラリを参照するために使います。[ファイル名] が指定されていないとデフォルトの NOM.LIB が使用されます。

ライブラリ・ファイルにはコメント、.MODEL ステー

トメント、サブサーキットの定義、さらにネストした .LIB ステートメントを含むことができます。これ以外のステートメントは許されません。

ライブラリを参照すると .INC とは異なり、ライブラリにあるモデルやサブサーキットの中で実際に CIR ファイル中で使用されているものだけが読み込まれます。したがってファイル全体ではなく使用される部分だけがメモリを占有します。

● .MC Monte Carlo Analysis

【書式】 .MC<実行回数><解析法><出力変数>
<関数> [オプション] *

【実例】 .MC 10 TRAN V(5) YMAX

.MC 50 DC IC(Q7) YMAX LIST

.MC 20 AC VP(13.5) YMAX LIST
OUTPUT ALL

.MC はモンテカルロ法による回路の統計解析を行います。設定した<解析法> (DC, AC または TRAN) で指定した<実行回数>の解析を行います。1 度目はすべての部品の公称値で実行し、そのあとは各部品の DEV および LOT 誤差で指定されている精度をモデル・パラメータから読み取って実行します。<出力変数>は [3] 出力変数の指定法を参照してください。

<関数>では出力変数の一つの値にするための計算方法を指定します。それは次のいずれかを選択できます。

YMAX: 公称値からいちばん離れた波形を見つける。

MAX: 値のいちばん大きな波形を見つける。

MIN: 値のいちばん小さな波形を見つける。

RISE_EDGE<値>:<値>で指定したしきい値を越える最初のケースを見つける。一つが見つかったと、その波形によって<値>が増加され、これを基準にして次の波形を捜す。

FALL_EDGE<値>:<値>で指定したしきい値を割る最初のケースを見つける。一つが見つかったと、その波形によって<値>が削減され、これを基準にして次の波形を捜す。

[オプション] は次のいずれかを含むことができます。

LIST: それぞれの回の実行に先だち、使われる部品の定数をプリントする。

OUTPUT(タイプ): (タイプ)として次にあげる四つから選ぶ。

ALL : 全部の実行結果を出力

FIRST<n> : 最初の n 回の実行分を出力

EVERY<n> : n 番目ごとの値を出力

RUNS<回数>*: その回数の実行分だけを出
力。<回数>は最大 25 個まで指
定できる。

RANGE<最小値><最大値>: 関数が評価される範囲を限定します。*はすべての値を表します。例えば

YMAX RANGE(*,.5) YMAX はスイープする変
数が 0.5 以下の範囲をすべ
て対象とします。

MAX RANGE(-1,*) MAX はスイープされる変
数が-1 よりも大きいすべ
ての値について評価します。

● .MODEL MODEL

【書式】 .MODEL<モデル名><タイプ>[<パラメータ>=<値>[誤差]]*

【実例】 .MODEL RMAX RES (R=1.5 TC1=.02
TC2=.005)
.MODEL DNOM D (IS=1E-9)
.MODEL QDRIV NPN (IS=1E-7
BF=30)
.MODEL MLOAD NMOS(LEVEL=1
VTO=.7 CJ=.02 pF)
.MODEL CMOD CAP (C=1 DEV 5%)
.MODEL DLOAD D (IS=1E-9 DEV .5%
LOT 10%)

.MODEL RTRACK RES (R=1 DEV/
GAUSS 1% LOT/UNIFORM 5%)

.MODEL は回路の中で使うデバイスの細かいパラメータを設定します。<モデル名>はデバイスからそのモデルを参照するときに使います。モデル名は文字で始まります。これをデバイスの名称に使われている文字、例えばダイオードではD、バイポーラ・トランジスタではQで始めるのはよい習慣ですが、別の文字で始めてもかまいません。

<タイプ>はデバイスの略称で下のいずれかを用います。

略称	デバイスの種類	略称	デバイスの種類
CAP	capacitor	VSWITCH	voltage-controlled switch
IND	inductor	ISWITCH	current-controlled switch
RES	resistor	DINPUT	digital input device (receive from digital)
D	diode	DOUTPUT	digital output device (transmit to digital)
NPN	NPN bipolar transistor	UIO	digital IO model
PNP	PNP bipolar transistor	UGATE	standard gate
LPNP	lateral PNP bipolar transistor	UTGATE	tri-state gate
NJF	N-channel junction FET	UEFF	edge-triggered flip-flop
PJF	P-channel junction FET	UGFF	gated flip-flop
NMOS	N-channel MOSFET	UWDTH	pulse width checker
PMOS	P-channel MOSFET	USUHD	setup and hold checker
GASFET	N-channel GaAs MESFET	UDLY	digital delay line
CORE	non-linear, magnetic core (transformer)		

一つの回路の中に同じタイプのモデルがいくつ存在してかまいません。ただし別のモデルには違ったモデル名をつけておきます。

例に示したように、<タイプ>の後にはパラメータのリストを括弧に入れて付けます。モデルに用意してあるパラメータは、全部使っても一つもつけなくてもかまいません。指定されていないパラメータにはデフォルト値が代入されます。それぞれのモデルのパラメータの名前、意味そしてデフォルト値はそれぞれの部品に説明されて

います。

それとは別に、<誤差>の項をそれぞれのパラメータに追加することができます。その時のフォーマットは、

[DEV(track&dist)<値>[%]] [LOT(track&dist)<値>[%]]

この上の値はモンテカルロ解析を使う場合に限りて用いられます。ロット番号やその中の誤差の分布を指定して計算することができます。

● .NODESET Nodeset

【書式】 .NODESET<V<ノード>=<値>>*

【実例】 .NODESET V(2)=3.4 V(102)=0
V(3)=-1V

.NODESET はバイアス・ポイントを計算する際に<ノード>に最初の推定<値>を供給するのに用います。回路の全部または一部のノードだけを指定することも可能です。ここで指定された値はバイアス・ポイント計算の最初の条件として用いられるだけで、それ以後の計算

のステップでは使用されません。

.IC ステートメントと異なって .NODESET は最初の推定値を与えるだけで、そのノードの電圧を指定された値にクランプはしません。それでも適当な初期値を供給することによって、これがなければ解析しにくいフリップフロップなどの動作を適当な状態からスタートさせることができます。 .IC と .NODESET の両方が存在するときは、.IC が優先されます。

● .NOISE Noise Analysis

【書式】 .NOISE V<ノード> [, <ノード>] <ソース名> [プリント間隔]

【実例】 .NOISE V(5) VIN
.NOISE V(101) VSRC 20
.NOISE V(4,5) ISRC

.NOISE は回路のノイズ解析を行います。ノイズ解析は AC 解析と関連して行われるので .AC が必要です。V<ノード> [, <ノード>] は出力電圧の端子を示し、

例のように V(5) などと書くか、V(4,5) のように指定します。後者の場合はノード 4 と 5 の間に発生する電圧を意味します。

<ソース名> は電圧または電流源で、その点で等価入力雑音を計算します。このソース名はそれ自身がノイズ発生器とは限らず、等価入力換算雑音を計算する場所を指定するだけに用います。

● .OP Bias Point

【書式】 .OP

【実例】 .OP

.OP はバイアス・ポイントに関する細かい情報を出力します。バイアス・ポイントの計算はこのステートメントがあるか否かにかかわらず行われますが、.OP ステ

ートメントがない場合の出力は各ノードの電圧に限られます。しかし、このステートメントを使うと外にすべての電圧源の電流と電力損失、また非直線の制御された電圧電流源や半導体デバイスの小信号パラメータが出力されます。

● .OPTIONS Options

【書式】 .OPTIONS [オプション名] * [<オプション名>=<値>] *

【実例】 .OPTIONS NOECHO NOMOD DEFL=12u DEFW=8u DEFAD=150p
DEFAS=150p
.OPTIONS ACCT RELTOL=.01
.OPTIONS DISTRIBUTION=GAUSS

.OPTIONS DISTRIBUTION=USERDEF1

.OPTIONS はプログラムに用意されているオプション、制限値、解析に用いる種々なパラメータを設定します。オプションはどういう順序に並べてもかまいません。オプションには数値をとまなわない名前だけのものと数値をとまなうものがあります。前者は単なるフラグでフォルト値は OFF です。

▶ 数値をとまなわないオプション

ACCT	解析の終わりに解析で使用した計算値や集計結果を出力する
EXPAND	サブサーキットを展開した状態でのリストを出力する
LIBRARY	ライブラリ・ファイルから読み込まれた部分をリストする
LIST	回路に使われている部品の詳細をリストする
NOBIAS	バイアス・ポイントのノード電圧を出力しないように設定する
NODE	接続表(ノード・テーブル)をリストする
NOECHO	入力ファイルのリストを中止する
NOMOD	モデル・パラメータと温度のアップ・デート値のリストを中止する
NOPAGE	出力ファイルの項目ごとの改ページと見出しの出力を中止する
OPTS	すべてのオプションの値をリストする
WIDTH	".WIDTH OUT=" のステートメントと同じ

▶ 数値をとまなうオプション

オプション	意味	単位	デフォルト値
ABSTOL	電流の最高精度	(A)	(1 pA)
CHGTOL	電荷の最高精度	(Coulomb)	(.01 p-coulomb)
OPTIME	その回の計算時間	(sec)	(1E6 sec)
DEFAD	MOS FET ドレイン面積のデフォルト値	(meter ²)	(0)
DEFAS	MOS FET ソース面積のデフォルト値	(meter ²)	(0)
DEFL	MOS FET チャネル長のデフォルト値	(meter)	(100 um)
DEFW	MOS FET チャネル幅のデフォルト値	(meter)	(100 um)
DIGFREQ	Min, デジタル・タイム・ステップは 1/DIGFREQ	(Hz)	(10 GHz)
DIGSTRF	Fstrength の最大抵抗値	(ohm)	(10 ohm)
DIGSTRD	Dstrength の最大抵抗値	(ohm)	(100 ohm)
DIGSTRW	Wstrength の最大抵抗値	(ohm)	(10 kohm)
DIGMNTYMX	ディレイ・デフォルト値(1=min, 2=typical, 3=max)		(2)
GMIN	計算で用いられる最小コンダクタンス	(1/ohm)	(1 E-12)
ITL1	DC およびバイアス・ポイント "blind" 繰り返し限界		(40)
ITL2	DC およびバイアス・ポイント "educated guess" 繰り返し限界		(20)
ITL4	トランジエント解析における繰り返し限界		(10)

オプション	意味	単位	デフォルト値
ITL5	トランジェント解析全体を通しての繰り返し限界(ITL5=0は無有限)		(5000)
LIMPTS	プリントやプロットで利用できる最大のポイント数(LIMPTS=0は無有限)		(無有限)
NUMDGT	テーブルをプリントする際の有効桁数(最大8桁)		(4)
PIVREL	マトリクスをとく際ピボットに必要な相対値		(1E-3)
PIVTOL	マトリクスをとく際ピボットに必要な絶対値		(1E-13)
RELTOL	電圧および電流の相対精度		(.001)
TNOM	解析に使用される温度のデフォルト値	(°C)	(27°C)
TRTOL	切り捨て誤差を見積る係数		(7)
VNTOL	電圧の最高精度	(V)	(1uV)

▶ DISTRIBUTION:=という特別なオプションがあります。デフォルト値は均一分布(UNIFORM)ですが、GAUSS またはユーザが定義する<分布名>を例のように使用できます。ユーザが<分布名>を定義するには、

.DISTRIBUTIONを用いて例えば例に対応して次のように書きます。

```
.DISTRIBUTION USERDEF1 (-1,1)(.5,1)
(.5,0)(.5,1)(1,1)
```

● .PARAM Parameter Definition

【書式】 ① .PARAM<<パラメータ名>>=<値>>*
② .PARAM<<パラメータ名>=<式>>*

【実例】 .PARAM VSUPPLY = 5 V
.PARAM VCC = 12 V, VEE = -12 V
.PARAM BANDWIDTH = {100 kHz/3}
.PARAM PI = 3.14159, TWO_PI =
{2 * 3.14159}

.PARAM はその後に続く<パラメータ名>で<値>や<式>を置き換え、パラメータ名をこれら値や式の代わりに CIR ファイルの中で使えるようにします。

ただし、次の用途では働きません。E, F, G, H デバイスの多項式の係数、電圧源電流源の PWL のパラメータ、伝送線のパラメータ NL, F。

パラメータ名には TIME, TEMP, VT, GMIN が予約語となっており、それ以外の文字から始まる名前が使用できます。

なお、<式>の中は定数ばかりであることが必要で、他のパラメータを含んではいけません。PARAM はサブサーキットの内部には使えません。

● .PLOT Plot

【書式】 .PLOT [DC] [AC] [NOISE] [TRAN] [出力変数]* [<下限値><上限値>]

【実例】 .PLOT DC V(3) V(2,3) V(R1) I(VIN) I(R2)
IB(Q13) VBE(Q13)
.PLOT AC VM(2) VP(2) VM(3,4) VG(5)
VDB(5) IR(6) II(7)
.PLOT NOISE INOISE ONOISE
DB(INOISE) DB(ONOISE)
.PLOT TRAN V(3) V(2,3) (0,5 V) ID(M2)
I(VCC) (-50 mA,50 mA)
.PLOT TRAN D(QA) D(QB) V(3) V(2,3)
.PLOT V(3) V(R1) V([RESET])

.PLOT は DC, AC, ノイズおよびトランジェント解析の結果をプロットします。このプロットではプリントの文字だけを使っているため、どんな種類のプリンタでも使用できます。その代わりプロットが粗いので、普通には PROBE のハード・コピーまたは画面を転送する方法を用いるとよいでしょう。

引き数 DC, AC, NOISE, および TRAN はプロットさせる解析の種類を指定するもので、この内のどれか一つをかならず入れてください。

【出力変数】の設定は [3] 出力変数の設定法を参照してください。出力する変数の数は最大8個までです。

● .PRINT Print

【書式】 .PRINT[/DGTLCHG] [DC] [AC] [NOISE]
[TRAN] [出力変数]*

【実例】 .PRINT/DGTLCHG TRAN QA QB
RESET

.PRINT は DC, AC, ノイズ、およびトランジェント解析の結果をテーブルの形でプリンタに出力します。使い方と実例は .PRINT と書く以外は .PLOT と共通です。PRINT/DGTLCHG の形式はデジタル変数だけを出力するために使われます。

● .PROBE Probe

【書式】 .PROBE [/CSDF] [出力変数] *

【実例】 .PROBE

```
.PROBE V(3) V(2,3) V(R1) VM(2) VP(2)
      I(VIN) I(R2) IB(Q13) VBE(Q13) VDB(5)
.PROBE/CSDF
.PROBE V(3) V(R1) V[RESET]
.PROBE D(QBAR)
```

.PROBE は DC, AC, およびトランジェント解析の結果をファイル "PROBE.DAT" に出力します。このファイルはグラフィック・ポスト・プロセッサ・プログラム PROBE に引き渡されます。例のように引き数が何もついていない場合には、全部のノードの電圧と、全部のデ

バイスへの電流をデータ・ファイルに記録します。出力するデータは例のように指定することができます。PRINT や PLOT と異なって、出力する変数の前に解析の種類を指定しないことに注意してください。出力する変数の数は 8 個以下という制限はありません。

【出力変数】 の設定は [3] 出力変数の指定法を参照してください。

/CSDF を指定すると、PROBE.DAT の内容が ASCII ファイル (Common Simulation Data Format) となります。これは他のコンピュータ機種とのデータ交換用で、この指定がないときはバイナリ・ファイルとなっています。

● .SENS Sensitivity Analysis

【書式】 .SENS<出力変数>

【実例】 .SENS V(9) V(4,3) V(17) I(VCC)

.SENS は DC 感度解析を行います。バイアス・ポイント付近での応答を線形と仮定して、すべてのデバイスの値やモデル・パラメータの出力変数に与える影響を計算

し、出力します。出力変数は .PRINT で DC またはトランジェント解析を出力する場合と同様です。ただし、出力変数が電流である場合には、電圧源を流れる電流だけが使用できます。

● .STEP Parametric Analysis

【書式】 ① .STEP [LIN] <スweepする変数名> <開始値> <終了値> <増分>

② .STEP [OCT] [DEC] <スweepする変数名> <開始値> <終了値> <点数>

③ .STEP <スweepする変数名> LIST <値> *

【実例】 .STEP VCE 0 V 10 V .5 V

.STEP LIN I2 5 mA -2 mA 0.1 mA

.STEP RES RMOD(R) 0.9 1.1 .001

.STEP DEC NPN QFAST(IS) 1E-18
1E-14 5

```
.STEP TEMP LIST 0 20 27 50 80 100
-50
```

```
.STEP PARAM CenterFreq 9.5kHz
10.5kHz 50Hz
```

.STEP はすべての解析について、<スweepする変数>の値を切り替えてスweepを行います。ただし .STEP は .TEMP と同じレベルなので、この両方を同時には使用できません。

スweepの指定は LIN, OCT, DEC, あるいは LIST で行うことができます。これらは .DC を参照してください。

● .SUBCKT Subcircuit Definition

【書式】 .SUBCKT <名称> [ノード] * [PARAMS: <名前>=<値>*]

【実例】 .SUBCKT OPAMP 1 2 101 102 17

```
.SUBCKT FILTER INPUT, OUTPUT
PARAMS: CENTER=100 kHz,
WIDTH=10 kHz
```

.SUBCKT はサブサーキットの始まりを示し、終了には .ENDS を用います。サブサーキットのすべてのステートメントはこの二つの間に書きます。サブサーキットを呼び出すには、デバイスの項に述べた X 命令を使い、X<名称>の形で呼び出します。<名称>は文字で始まらなくてはなりません。

[ノード] はノードのリストを示します。ノードの数は任意で、なくてもかまいませんが、X 命令のノード数と一致している必要があります。

PARAMS はその後ろに書いた引き数をサブサーキット内に持ち込む場合に使用します。「S:」を付けることにご注意ください。

サブサーキット内で使用されるノード、デバイス、それにモデル名はサブサーキット内だけのローカル名です。したがって、ほかのサブサーキットや CIR ファイル本体の中で同じ名前が使われていても支障はありません。サブサーキットが展開される際にはこれらの前にサブサーキット名が付加されます。

● .TEMP Temperature

【書式】 .TEMP <温度> *

【実例】 .TEMP 125
.TEMP 0 27 125

.TEMP は解析が行われる温度を℃で設定します。例のように一つ以上の温度が与えられている場合には、解

析はそれぞれの温度について行われます。

モデル・パラメータの温度は標準値 TNOM(デフォルト値は 27℃)に従います。TNOM の設定は .OPTIONS を参照してください。

● .TF Transfer Function

【書式】 .TF <出力変数> <入力ソース名>

【実例】 .TF V(5) VIN
.TF I(VDRIV) ICNTRL

.TF はバイアス・ポイント付近の特性を線形と見なし、小信号での伝達関数を計算します。<入力ソース名> は電圧源または電流源で、そこから<出力変数>までの

増幅度と入出力抵抗を出力します。

<出力変数>は .PRINT で DC またはトランジェント解析を出力する場合と同様です。ただし、出力変数が電流である場合には、電圧源を流れる電流だけが使用できます。

● .TRAN Transient Analysis

【書式】 .TRAN[/OP] <プリント・ステップ値> <終了時間> [プリントしない時間[最大ステップ値]] [UIC]

【実例】 .TRAN 1 ns 100 ns
.TRAN/OP 1 ns 100 ns 20 ns UIC
.TRAN 1 ns 100 ns 0 ns .1 ns

.TRAN はトランジェント解析を実行します。解析は時間 0 から始まり<終了時間>まで行われます。<プリント・ステップ値>はトランジェント解析の結果をプリントまたはプロットする際に用いられるステップです。

トランジェント解析はかならず時間 0 から始まりますが、計算結果の 1 部を出力しないように指定することができます。[プリントしない時間]は時間 0 からその時間

までの間、プリントやプロットあるいは PROBE への出力を行いません。

タイム・ステップのデフォルト値は<プリント・ステップ値>ではなく<終了時間>/50 を用います。[最大ステップ値]を指定すれば上で定まるデフォルト値よりも幅の広い、あるいは狭い最大内部ステップ時間を指定することができます。

例のように"/OP"を指定すると .OP 命令を使ったときのような詳細な情報が出力されます。命令の最後に UIC(Use Initial Conditions)を追加するとバイアス・ポイントの計算は行われず、IC=で指定したコンデンサやインダクタンスの初期値が使用されます。

● .WCASE Sensitivity/WorstCase Analysis

【書式】 .WCASE <解析法> <出力変数> <関数> [オプション] *

【実例】 .WCASE TRAN V(5) YMAX
.WCASE DC IC(Q7) YMAX VARY DEV
.WCASE AC VP(13.5) YMAX DEVICES
RQ OUTPUT ALL

.WCASE は回路の感度についてワースト・ケース解析を行います。指定された<解析法>をパラメータを変更して何回も実行しますが、.MC と異なってこの解析では

1 回の実行あたり一つのパラメータだけをかえることが可能です。これによって一つ一つのパラメータの出力波形への影響を計算することができます。

こうしてすべての部品定数の感度がわかれば、すべてのパラメータをワースト・ケースの条件に設定して、そのときの波形を 1 回の実行で作成することができます。

なお、この命令と .MC とは同時に実行することはできません。引き数の名称やその扱いについては .MC と共通なのでそちらを参照してください。

● .WIDTH Width

【書式】 .WIDTH OUT=<幅>

【実例】 .WIDTH OUT=80
.WIDTH OUT=132

.WIDTH は出力の幅を設定します。<幅>は文字数で表示されデフォルト値は 80 です。80 または 132 に設定してください。

●SPICE参考図書一覧

	参考図書1
書籍名	SPICEによるシミュレータ新活用法
著 者	岡村 勉夫
出版社	CQ出版社
出版年	第2版 1992
連絡先	TEL 03-5395-2141
内 容	SPICEの基本的な話 電源、整流回路、OPアンプその他アナログ回路の具体的なシミュレーションの紹介

	参考図書2
書籍名	SPICEによるトランジスタ回路の設計
著 者	岡村 勉夫
出版社	CQ出版社
出版年	初版 1992
連絡先	TEL 03-5395-2141
内 容	デバイスを中心にした話 バイポーラ、ダイオード、MOSの各種回路のシミュレーションの紹介。 デバイスモデルの作成法の紹介もある。

	参考図書3
書籍名	アナログICの機能回路設計入門
著 者	青木 英彦
出版社	CQ出版社
出版年	初版 1992
連絡先	TEL 03-5395-2141
内 容	バイポーラICで使われるアナログ回路のシミュレーションを紹介。 バイポーラICの基本的な話やデジタル回路も紹介されている。

	参考図書4
書籍名	SPICEによる電子回路設計
著 者	JOHN KEOWN (町 好雄 監訳)
出版社	東京電機大学出版局
出版年	初版 1993
連絡先	TEL 03-5280-3433
内 容	大学で学ぶ主要な回路が詳しくシミュレーションされている。 デバイスモデルの開発にも役立つ内容。演習問題もあり初心者には大変分かりやすい内容である。

	参考図書5
書籍名	SPICEによる回路設計
著 者	J.Aコネリー/P.チェイ(青木 均 訳)
出版社	トッパン
出版年	初版 1994
連絡先	TEL 03-3295-3461
内 容	SPICEが持っている基関数や部品を使ってデバイスモデルを作るマクロモデルを紹介。 本書にはマクロモデリングが容易に出来るようFDが添付されている。 内容は上級者レベル。

	参考図書6
書籍名	シリコンFETのモデリング
著 者	青木 均(西 義雄 監修)
出版社	Addison-Wesley Publishers Japan,Ltd
出版年	初版 1997
連絡先	TEL 03-3947-1021
内 容	MOSFETやTFT液晶のSPICEモデリングについて詳細に紹介されている。 SPICEシミュレーションは経験があるが、モデリングについて詳しくない方、また必要に迫られて自分の必要とするデバイスのモデルを作りたい方などには大変有用である。 内容はかなり専門的で、MOSFETやTFTの深い知識が必要である。 内容は上級者レベル。

	参考図書7
書籍名	A Guid To Circuit SimuLation and Analysis Using Pspice
著 者	Paul W. Tuinenga
出版社	PRENTICE HALL,Inc
出版年	Third Edition 1998
連絡先	—
内 容	購入するにはアメリカからの直輸入が必要です。私はアマゾン(www.amazon.co.jp)で購入しました。 Pspiceを使ってアナログ回路のシミュレーション方法を分かり易く説明している。アナログ回路の説明とそのネットリストが紹介されておりわかりやすい。

CMOS参考図書一覧

	参考図書 1
書籍名	MOS集積回路
著 者	監訳・武石喜幸, 金山 宏
出版社	近代科学社
出版年	第3版 1977
連絡先	TEL 03-3260-6161
内 容	<p>30年近く前、仕事上必要ということで購入しました。当時の値段で5200円でしたから、新入社員の私にとってはかなりの高額投資でした。</p> <p>MOS基礎理論、MOS回路、MOS論理回路、レイアウト設計、製造技術など幅広く網羅されており、かなり分厚い本である。当時、シャープが電卓に採用していた4相レシオレス・ダイナミック論理についても詳しく紹介されている。ただ、CMOSについての記述は少しで、ほとんどがPMOSに関する内容である。</p>

	参考図書 2
書籍名	MOS / LSI 設計と応用
著 者	監修・寺島 諒
出版社	(株)エレクトロニクスダイジェスト
出版年	第2版 1977
連絡先	TEL 03-3434-3360
内 容	<p>前半はチップ設計における各種手計算の方法が詳細に紹介されている。後半は各種MOS回路が数多く紹介されている。また当時としては珍しく、MOSアナログ回路について詳細に説明している。</p>

	参考図書 3
書籍名	CMOS IC ハンドブック
著 者	編者・モトローラ・セミコンダクターズ・ジャパン
出版社	(株)エレクトロニクスダイジェスト

出版年	第2版 1976
連絡先	TEL 03-3434-3360
内 容	<p>当時、CMOSに関する唯一の本といってもよいであろう。私もCMOSのチップ設計をしていたので、大変参考になりました。</p> <p>この本はモトローラが製造していたICの説明ではあるが、各回路について詳細な回路と説明がありわかりやすい。またCMOSアナログ回路についての記載は、当時大変貴重な情報であった。</p>

	参考図書 4
書籍名	MOS LSI 設計入門
著 者	監訳・菅野卓雄，桜井貴康
出版社	産業図書（株）
出版年	第7版 1990
連絡先	TEL 03-3261-7821
内 容	<p>大学で電気工学を専攻している学生に対する講義用の教科書として書かれている。NMOSとCMOSを中心に、MOS基礎理論・MOS回路設計・レイアウト設計などを分かりやすく記載している。MOSアナログ回路やSPICEについても書かれており、初めてMOSを取り扱う人にはわかりやすい書籍である。</p>

	参考図書 5
書籍名	システムLSIのためのアナログ集積回路設計技術・（上・下）
著 者	監訳・永田 譲
出版社	（株）培風館
出版年	改定4版 2003
連絡先	TEL 03-3262-5256

内 容	<p>第4版では、CMOS技術を中心としたシステムLSI向けの回路設計の内容に大幅に見直し拡充している。オペアンプなどの設計法について詳しく記載されており、チップ設計者にとっては大変実用的で、アナログ設計に不可欠の内容がすべて盛り込まれている。MOSアナログ回路の設計は、バイポーラトランジスタ・アナログ技術の応用が多いので、アナログ設計の理解を深めるには上・下巻とも読むことをお勧めします。</p>
-----	--

	参考図書 6
書籍名	デジタル回路設計技法
著 者	翻訳・山崎 淳 , 山崎 浩
出版社	マグロウヒル出版（株）
出版年	初版 1993
連絡先	TEL 03-3542-8821
内 容	<p>デジタル集積回路の解析並びに設計について記載されている。バイポーラトランジスタとCMOSの両方について、内部設計（チップ・回路設計）を中心に書かれている。SPICEを使った回路の説明や、デバイスモデルについての説明もあり、デジタル回路の設計者にとって有用な本だと思う。</p>

	参考図書 7
書籍名	CMOS 超LSI の設計
著 者	編者・飯塚哲哉
出版社	（株）培風館
出版年	第1版 1989
連絡先	03-3262 - 5256
内 容	<p>東芝の技術者が書いており、CMOS並びにBiCMOS技術に関する数多くの分野について詳細に記載されている。</p> <p>設計技術が中心であるが、デバイス・プロセス・CAD技術なども詳しく紹介されておりチップ設計者にとっては大変有用だと思う。価格が11000円と高いだけのことはある。</p>

	参考図書 8
書籍名	V L S Iシステム設計（回路と実装の基礎）
著 者	監訳・中澤喜三郎，中村 宏
出版社	丸 善（株）
出版年	第1版 1 9 9 5
連絡先	03-5684 - 5571
内 容	<p>最近の L S I の設計はトランジスタの高性能化よりも、配線遅延などの問題がクローズアップされている。この本ではそうした課題に答える内容が盛りだくさんである。</p> <p>伝送線路の損失・クロストークと電源ノイズ・高速クロック給電・パッケージの熱設計など、これからのチップ設計者にはぜひお勧めする好書である。ただ、価格が 8 6 0 0 円と高価ではあるが。</p>

	参考図書 9
書籍名	C M O S 集積回路
著 者	榎本忠儀
出版社	（株）培風館
出版年	第1版 1 9 9 6
連絡先	03-3262 - 5256
内 容	<p>本書は C M O S 技術を習得しようとする電気・電子系の学生、またこれから C M O S の設計に携わる人たちに有用である。前半は M O S の基礎理論・回路設計について、後半は論理設計・メモリ（ D R A M など）について紹介している。</p>

	参考図書 1 0
書籍名	超 L S I メモリ
著 者	伊藤清男
出版社	（株）培風館
出版年	第1版 1 9 9 4
連絡先	03-3262 - 5256

内 容	伊藤清男は日立の技術者で、D R A Mの世界では有名な方である。メモリ（特にD R A M）を中心に歴史的な技術の変遷からメモリの各種技術（基板電圧制御・VDD/2回路・ノイズキャンセル技術など）をこれでもかというほど詳細に解説している。メモリのチップ設計に携わる人には必携の書籍である。
-----	---

	参考図書 1 1
書籍名	超高速M O S デバイス
著 者	監修・菅野卓雄
出版社	（株）培風館
出版年	第1版 1 9 8 6
連絡先	03-3262 - 5256
内 容	東芝の技術者たちが執筆している。M O S デバイスの高速化・高性能化の観点に立って、そのための必要な技術について総合的に紹介している。10年以上前の書籍であるが、当時はM O S の高速化が騒がれていた。そうした中での出版は大変インパクトがあった。具体的な数値・図・グラフがあり分かりやすい。

	参考図書 1 2
書籍名	アナログ・ディジタル混載システム L S I
著 者	翻訳・飯塚哲哉，浅田邦博
出版社	（株）培風館
出版年	第1版 2 0 0 0
連絡先	03-3262 - 5256
内 容	最近のL S Iの課題である、アナログ・ディジタル混載技術と低消費電力化技術について、まさにこの書籍では最新の設計手法を多くの具体例を上げて詳細に解説している。各項目の最後には関係する論文・書籍が紹介されており、興味ある分野についてさらに調べることができる。現役チップ設計者は必読であろう。ただ、他の最新技術書籍もそうであるが価格が高い。この本も1 1 0 0 0 円します。

	参考図書 13
書籍名	アナログCMOS集積回路の設計・応用編
著 者	監訳・黒田 忠広
出版社	丸善（株）
出版年	第1版 2003
連絡先	03-3272 - 0521
内 容	<p>全編CMOSに関する回路設計・プロセス並びにレイアウト設計の記述がある。オペアンプはもちろんのこと発振器・スイッチドキャパシタ・PLLなどについて詳細に紹介されている。</p> <p>そして、後半にはレイアウト設計に関する記述が30ページ近くある。レイアウト設計に関する専門書はほとんどないからCMOSレイアウト設計を始める人には参考になるであろう。価格は8200円です。</p>

	参考図書 14
書籍名	CMOSアナログ回路入門
著 者	谷口 研二
出版社	CQ出版社
出版年	第1版 2005
連絡先	03-5395-2141
内 容	<p>CMOSアナログ回路の設計についてわかりやすく紹介している。私が、本ホームページで紹介したいような内容がたくさん詰め込まれています。</p> <p>特にオペアンプの構成回路である、バイアス回路・差動回路・出力回路などについてパターン設計法も紹介しながら詳細に紹介している。私も再度勉強させてもらいました。</p> <p>価格も2800円で手ごろです。</p>

トランジスタ技術（CQ出版）掲載情報

	掲載ページ	内 容	ダウンロード
1993年 7月号	p317～p330	●実験研究・CMOS OPアンプICの設計法 ・MOSトランジスタの基本 ・CMOS OPアンプの回路設計 ・バイアス、差動、出力回路の設計 ・SPICEによるOPアンプの過渡特性、周波数特性 ・モノリシックICを使ったCMOS OPアンプの製作 ・CMOSデバイスのモデリング（TC407N, TC407P）	掲載されたSPICEリスト （LHAファイル） ダウンロード
1995年 2月号	p279～p294	●パソコン用SPICEシミュレーションを援用した CMOSアナログICの設計トライアル ・チャージ・ポンプ方式によるコンバータ回路の原理 ・CMOS・DC-DCコンバータの回路設計 ・IC設計のポイント ・SPICEによる回路シミュレーション ・CMOS・DC-DCコンバータ回路の製作 ・SPICEシミュレーションと実測の比較	掲載されたSPICEリスト （LHAファイル） ダウンロード
1998年 5月号	p291～p296	●IC基本特許回路のSPICEによる検証-1（連載） （MOSゲート入力保護回路, ダーリントン回路） ・MOSゲート入力保護回路特許 ・保護回路の原理 ・静電破壊シミュレーション ・ダーリントン回路特許 ・日本にも出願されたが拒否されたダーリントン特許 ・ダーリントン回路の増幅度をシミュレーション	掲載されたSPICEリスト （LHAファイル） ダウンロード
1998年 6月号	p315～p325	●IC基本特許回路のSPICEによる検証-2（連載） （ドルビー回路, OPアンプ回路, CMOS回路） ・ドルビー回路特許 ・S/N比の改善方法 ・ドルビー回路のシミュレーション ・OPアンプ用入力回路特許 ・uA 7 4 1 に採用されたフラガー回路のシミュレーション ・CMOS基本特許 ・他のデバイスとのシミュレーションによる比較	掲載されたSPICEリスト （LHAファイル） ダウンロード
1998年 7月号	p321～p326	●IC基本特許回路のSPICEによる検証-3（連載） （差動増幅回路, ギルバート・セル回路） ・RCA社の差動増幅回路特許 ・差動増幅回路のシミュレーション ・ギルバート・セル回路特許 ・乗算機能を数式とシミュレーションで確認 ・1998年 4 月よりパソコンによる特許出願が可能に	掲載されたSPICEリスト （LHAファイル） ダウンロード
2003年5月 DVD版	1998年 1月号～12月号	●1998年のトラ技原稿の印刷誌面をカラー・スキャナで取り 込んでイメージ・データ化し、さらにPDF（Portable Document Format）ファイルとしてDVD-ROMに収録したものです。 上記で紹介している私の原稿が全文閲覧できます。 2 0 0 3 年 5 月 1 日、C Q 出版社より発行	定価9, 975円(税込) ISBN4-7898-3774-2
2017年5月号	2017年 5 月号	●2017年 5 月号の付録DVDにSpiceEditor@Basicが収録されています。 またこのDVDにはSpiceEditor@Basicに搭載されている、OpAmpマクロ モデルの機能を抽出、改良した マクロモデルによるOpAmpの特性解析ソフト（Ⅶ）も提供しています。 Win95～WIN10まで動作する使いやすいソフトになっています。 Spiceネットリストを作成して、シミュレーションを体験してみましょう。	SpiceEditor@Basic Ver 9.53 ダウンロード

[SpiceEditor@Basic](#)のヘルプ（SPICE&CMOS解説）に原稿の一部を搭載して
いますので、ダウンロードしてインストールすれば、詳細が閲覧できます。